

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-002797

(43)Date of publication of application : 06.01.1999

(51)Int.Cl.

G02F 1/133
G02F 1/1343
G09G 3/36

(21)Application number : 09-151883

(71)Applicant : HITACHI LTD

(22)Date of filing : 10.06.1997

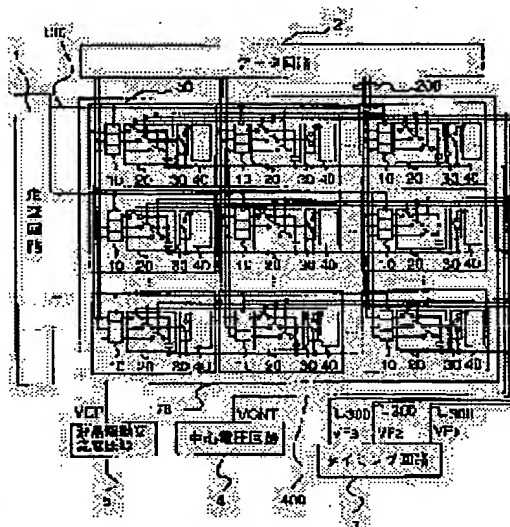
(72)Inventor : KOMURA SHINICHI
SATO HIDEO
MIKAMI YOSHIAKI
TSUMURA MAKOTO

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To make circuit area small in the case of realizing multi-gradated display in a liquid crystal display device incorporating a memory and to reduce the production cost of the device by providing a picture element circuit at the intersection part of a scanning line and a data signal conductor group, arranging a common line and a timing line group in parallel with a scanning line and connecting them to the picture element circuit.

SOLUTION: This device is equipped with one substrate where the picture element circuits 50 are arranged lengthwise and crosswise in a matrix state, the other substrate having a transparent counter electrode 70, a scanning circuit 1 driving the scanning line 100 and a data circuit 2 driving the data signal conductor group 200. The scanning line 100 and the data signal conductor group 200 are orthogonally crossed with each other and the circuit 50 is provided at the intersection part between them. Furthermore, the common line 400 supplying center voltage and the timing line group 300 supplying a timing signal are arranged in parallel with the scanning line and connected to the circuit 50. Thus, the yield is improved because circuit constitution is simplified in the case of realizing the multi-gradated display, and also the production cost is reduced.



LEGAL STATUS

[Date of request for examination] 19.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3292093

[Date of registration] 29.03.2002

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the liquid crystal display which has the liquid crystal layer in which at least one side was pinched by the substrate of a transparent pair, and the substrate of these pairs to one side of the substrate of said pair In the field surrounded by two or more data signal track groups which intersect two or more scanning lines and said two or more scanning lines in the shape of a matrix, two or more timing track groups formed among said two or more scanning lines, and said two or more scanning lines and said two or more data signal track groups The memory which is connected to the corresponding scanning line and corresponding data signal track group, answers a scan signal, and incorporates and holds the indicative data from a data signal track group, The sample hold circuit where it connects with the memory, the data held at the memory are incorporated, and an output is controlled by the timing signal of the timing track group corresponding to said field, The liquid crystal display characterized by having the pixel electrode connected to the 1st switching means and 1st switching means controlled by the output of the aforementioned sample hold circuit.

[Claim 2] In the liquid crystal display which has the liquid crystal layer in which at least one side was pinched by the substrate of a transparent pair, and the substrate of these pairs to one side of the substrate of said pair In the field surrounded by two or more data signal track groups which intersect two or more scanning lines and said two or more scanning lines in the shape of a matrix, two or more timing track groups formed among said two or more scanning lines, and said two or more scanning lines and said two or more data signal track groups The memory which is connected to the corresponding scanning line and corresponding data signal track group, answers a scan signal, and incorporates and holds the indicative data from a data signal track group, The selection circuitry which is connected to the memory and incorporates the data held at the memory and by which an output is controlled by the timing signal of two or more

of said timing track groups, The liquid crystal display characterized by having the pixel electrode connected to the 1st switching means and 1st switching means controlled by the output of the selection circuitry.

[Claim 3] The liquid crystal display characterized by forming in another side of the substrate of said pair the counterelectrode which counters said pixel electrode in claim 1 or 2.

[Claim 4] The liquid crystal display characterized by forming in said sample hold circuit two or more 2nd switching means connected to said memory in claim 1.

[Claim 5] The liquid crystal display characterized by forming in said selection circuitry two or more 2nd switching means connected to said memory in claim 1.

[Claim 6] The liquid crystal display characterized by forming two or more common lines among said two or more scanning lines, and forming said 1st switching means in the common line corresponding to said surrounded field in claim 1 or 2.

[Claim 7] The amplitude of the liquid crystal driver voltage impressed to said counterelectrode in claim 1 or 2 is a liquid crystal display characterized by being almost equal mutually, a frame period being divided into two or more subframes, and the die length of the period of the divided subframe differing.

[Claim 8] The amplitude of the liquid crystal driver voltage impressed to said counterelectrode in claim 1 or 2 is a liquid crystal display which it differs mutually, and a frame period is divided into two or more subframes, and is characterized by the die length of the period of the divided subframe being almost equal.

[Claim 9] The actual value of an electrical potential difference [in / in claim 1 or 2, the wave of the liquid crystal driver voltage impressed to said counterelectrode is mutually equal, a frame period is divided into two or more subframes, and the die length of the period of the divided subframe differs, and / the period of the subframe] is a liquid crystal display characterized by changing in proportion to the period of the subframe.

[Claim 10] It is the liquid crystal display characterized by having two or more common lines in said two or more scanning lines, and those common lines and said liquid crystal driver voltage having the period when the electrical potential difference which becomes equal to the main electrical potential difference of said liquid crystal driver voltage is impressed to the beginning of the subframe in claim 7 thru/or 9.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a active-matrix liquid crystal display, especially relates to a memory built-in active-matrix liquid crystal display.

[0002]

[Description of the Prior Art] Although the conventional active-matrix drive method is stated to the Shunsuke Kobayashi work of publication, and a "color liquid crystal display" (Sangyo Tosho Publishing) in 1990, in case the liquid crystal display of a active-matrix mold is driven, a 1-time scan pulse is impressed for every frame time by the scanning line. Usually, the timing of this pulse has shifted from the panel bottom in order toward the bottom. As time amount of one frame, 1/60 second is used well. since 480 scans are carried out to 1 frame time by the color panel of 640x480 dots which is a typical pixel configuration -- the time amount width of face of a scan pulse -- $(1/60)/480$ -- it has been $s =$ about 35 microseconds.

[0003] On the other hand, the liquid crystal driver voltages impressed to the liquid crystal which is a pixel for one line to which a scan pulse is impressed are impressed to a signal line all at once synchronizing with a scan pulse. In the selection pixel to which the gate pulse was impressed, the gate electrode voltage of TFT connected to the scanning line becomes high, and TFT is turned on. At this time, liquid crystal driver voltage is impressed to a display electrode via between the source of TFT, and a drain, and charges the pixel capacity which doubled the liquid crystal capacity formed between a display electrode and the counterelectrode formed on the opposite substrate, and the load-carrying capacity arranged to the pixel. By repeating this actuation, an electrical potential difference is repeatedly impressed to the pixel capacity of the whole panel surface at liquid crystal for every frame time.

[0004] This liquid crystal applied voltage is reversing a polarity for every frame time, and is performing alternating current-ization. Consequently, liquid crystal drive frequency usually becomes 30 Hertz of the frequency of 1/this 2 at the time of the frame frequency of 60 Hertz. Since the polarity of this signal electrode is reversed every 35 microseconds of one scan period in the case of the above-mentioned panel of 640x480 dots, the drive frequency of a signal electrode is $640 \times 60 / 2 \text{ Hz} = 14.4 \text{ kHz}$. It will be about 500 times the liquid crystal drive frequency. That is, even when the image to display does not change, the potential of a signal-electrode line is changed to the high speed.

[0005]

[Problem(s) to be Solved by the Invention] Since power consumption is proportional to a frequency, much power is consumed with the conventional technique. Then, these people have proposed the liquid crystal display which reduces power consumption sharply by Japanese Patent Application No. No. 62996 [eight to], and Japanese Patent

Application No. No. 15979 [eight to]. This liquid crystal display is equipped with the indicative-data holding circuit and the switching means controlled by the indicative data currently held for every pixel. According to this equipment, the alternating voltage for driving liquid crystal is impressed to the counterelectrode which is one electrode of liquid crystal, and the display electrode which is an electrode of another side is controlled by the aforementioned switching means. That is, when a switching means is an ON state, the alternating voltage of a counterelectrode is impressed to liquid crystal, and when a switching means is an OFF state, an electrical potential difference is not impressed to liquid crystal.

[0006] By this approach, when there is no modification in the contents of the indicative data, potential of a signal line or the scanning line cannot be changed, and power consumption can be reduced.

[0007] However, while a circuit field becomes large since the capacity of a switching means and the same number was formed in order to indicate by multi-tone by this approach, a circuit pattern becomes complicated, the yield falls and the problem that a manufacturing cost increases arises. Moreover, even if a numerical aperture falls to making it a transparency mold and it makes it a reflective mold, it needs whether for a pixel electrode to be made small and to form in a substrate front face, or to form a thick insulator layer and to form in the upper layer.

[0008] In case the purpose of this invention realizes a multi-tone display with the liquid crystal display which contained memory, it makes circuit area small, and it is to reduce the manufacturing cost.

[0009]

[Means for Solving the Problem] In the liquid crystal display which has the liquid crystal layer in which at least one side was pinched by the substrate of a transparent pair, and the substrate of these pairs as the 1st configuration to one side of the substrate of said pair In the field surrounded by two or more data signal track groups which intersect two or more scanning lines and said two or more scanning lines in the shape of a matrix, two or more timing track groups formed among said two or more scanning lines, and said two or more scanning lines and said two or more data signal track groups The memory which is connected to the corresponding scanning line and corresponding data signal track group, answers a scan signal, and incorporates and holds the indicative data from a data signal track group, The sample hold circuit where it connects with the memory, the data held at the memory are incorporated, and an output is controlled by the timing signal of the timing track group corresponding to said field, It considers as the configuration which has the pixel electrode connected to the 1st

switching means and 1st switching means controlled by the output of the aforementioned sample hold circuit.

[0010] In the liquid crystal display which has the liquid crystal layer in which at least one side was pinched by the substrate of a transparent pair, and the substrate of these pairs as the 2nd configuration moreover, to one side of the substrate of said pair In the field surrounded by two or more data signal track groups which intersect two or more scanning lines and said two or more scanning lines in the shape of a matrix, two or more timing track groups formed among said two or more scanning lines, and said two or more scanning lines and said two or more data signal track groups The memory which is connected to the corresponding scanning line and corresponding data signal track group, answers a scan signal, and incorporates and holds the indicative data from a data signal track group, The selection circuitry which is connected to the memory and incorporates the data held at the memory and by which an output is controlled by the timing signal of two or more of said timing track groups, It considers as the configuration which has the pixel electrode connected to the 1st switching means and 1st switching means controlled by the output of the selection circuitry.

[0011] The configuration which has the counterelectrode which counters a pixel electrode may be added to the substrate of above-mentioned another side at these configurations.

[0012] It is good for the 1st configuration also as a configuration by which two or more 2nd switching means connected to memory are formed in a sample hold circuit.

[0013] It is good for the 2nd configuration also as a configuration by which two or more 2nd switching means connected to memory are formed in a selection circuitry.

[0014] Furthermore, two or more common lines are formed between the scanning lines of both configurations, and it considers as the configuration with which the 1st switching means is connected to the common line corresponding to the field surrounded by a data signal track group and the scanning line.

[0015] Moreover, when making these liquid crystal displays drive, it is desirable to take the following drive approaches.

[0016] (1) Make mutual almost equal the amplitude of the liquid crystal driver voltage impressed to a counterelectrode and a pixel electrode, divide a frame period into two or more subframes, and change the die length of the period of the divided subframe.

[0017] (2) Change mutually the amplitude of the liquid crystal driver voltage impressed to a counterelectrode and a pixel electrode, divide a frame period into two or more subframes, and make almost equal the die length of the period of the divided subframe.

[0018] (3) The wave of the liquid crystal driver voltage impressed to a counterelectrode

and a pixel electrode is mutually made equal, divide a frame period into two or more subframes, change the die length of the period of the divided subframe, and change the actual value of the electrical potential difference in the period of the subframe in proportion to the square of the period of the subframe.

[0019] (4) Liquid crystal driver voltage prepares the period which becomes equal to a main electrical potential difference in the beginning of each above-mentioned subframe.

[0020] When these drive approaches are explained concretely, liquid crystal driver voltage is the alternating voltage by which the voltage waveform of one frame which consists of n subframes was repeated periodically, and it is made mutually different [the time quadrature in each subframe period of the absolute value of a difference with a main electrical potential difference] from each other. Furthermore, the period when the electrical potential difference impressed to liquid crystal at the beginning of each subframe is set to 0 (reset period), i.e., the period when liquid crystal driver voltage becomes equal to a main electrical potential difference, is established.

[0021] The 1st switching means formed in the pixel drive controls connection between a pixel electrode and the main electrical potential difference of liquid crystal driver voltage.

[0022] When the i -bit indicative data of a timing signal of memory is "1" during the i -th subframe period, When the 1st switching means connected to the pixel drive is controlled and the i -bit indicative data of memory is "0" so that an electrical potential difference equal to a main electrical potential difference may be impressed to a pixel electrode, The 1st switching means for a pixel drive is controlled so that liquid crystal driver voltage and an equal electrical potential difference are impressed to a pixel electrode.

[0023] For example, the case of the number $n=3$ of a subframe is taken for an example, and actuation is explained.

[0024] One frame is divided into the 1st, 2nd, and 3rd subframe. Liquid crystal driver voltage is set up so that the time quadrature in each subframe period of the absolute value of a difference with a main electrical potential difference may be set to V_1 , $V_2=2V_1$, and $V_3=4V_1$.

[0025] When the contents of memory are "011", by the 1st subframe, the 1st switching means for a pixel drive will be in 0 condition by the OFF condition and the 2nd subframe, and will be in ON condition in the 3rd subframe. Therefore, the difference of liquid crystal driver voltage and a main electrical potential difference is impressed to liquid crystal only at the 2nd and 3rd subframe, and an electrical potential difference is not impressed to the 1st subframe. That is, at the 1st subframe, it is [subframe /

electrical-potential-difference $2V_1$ and / 3rd] $4V_1$ in an electrical potential difference 0 and the 2nd subframe. It is impressed. Therefore, the average of the electrical potential difference impressed to one frame is $(0+2V_1+4V_1) / 3=2V_1$. It becomes. Thus, in the case of $n=3$, it is possible to impress the electrical potential difference of $2n=2 \times 3=6$ passage to liquid crystal, and the gradation of 8 level can be displayed.

[0026] When changing from the 3rd subframe to the 1st subframe of the following frame, the 1st switching means for a pixel drive changes from ON condition to an OFF condition. At this time, if there is no reset period, the electrical potential difference of the 3rd subframe will be held in the 1st subframe, and a desired drive cannot be performed.

[0027]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail.

[0028] At least one side pinches a liquid crystal layer to the substrate of a transparent pair, and the substrate of these pairs, and forms two or more data signal track groups which consist of two or more scanning lines formed in the scanning circuit at one side of the substrate of the pair, and n data signal lines which intersect those scanning lines in the shape of a matrix, and two or more timing track groups which consist of n timing lines among those scanning lines. Moreover, connect with the scanning line and n data signal track groups corresponding to the field surrounded by the scanning line and n data signal track groups, and the scan signal impressed to the scanning line is answered. The memory which incorporates and holds n indicative datas from n data signal track groups, The sample hold circuit where it connects with the memory, the indicative-data signal held at the memory is incorporated and held, and an output is controlled by the timing signal of a timing track group, The 1st switching means controlled by the output of the sample hold circuit, The pixel electrode connected to the 1st switching means, and the scanning circuit which drives the scanning line, The data signal circuit which drives those data signal track groups, and the source of liquid crystal drive alternating voltage which supplies the liquid crystal drive alternating voltage V_{CP} which drives liquid crystal to a counterelectrode, Timing signals VF_1 , VF_2 , and VF_3 -- It consists of a timing circuit which generates VF_n , and a central potential circuit which supplies the main electrical potential difference V_{CNT} of the liquid crystal drive alternating voltage V_{CP} to a pixel circuit.

[0029] Moreover, the scanning line and a data signal track group are made to intersect perpendicularly mutually, and the above-mentioned pixel circuit is established in those intersections. Furthermore, the timing track group which supplies the common line

which supplies a main electrical potential difference, and a timing signal is arranged to the scanning line and parallel, and it is made to connect with a pixel circuit.

[0030] Pixel circuits are n indicative datas VF1, VF2, and VF3 impressed to a data signal track group. Electrical potential differences VM1, VM2, and VM3 corresponding to --VF n Memory which stores --VM n , The memory to electrical potential differences VM1, VM2, and VM3 -- It is controlled by the electrical potential difference VS held by the sample hold circuit which chooses, takes out and holds VM n , and the sample hold circuit, and consists of the 1st switching means which determines the connection condition of a pixel electrode and a common line. a sample hold circuit -- the time of VF1= "1" -- VM1 -- a sample -- carrying out -- VS=VM1 ***** -- it holds, and at the time of VF n = "1", the sample of the VM n is carried out and it holds as VS=VM n .

[0031] memory -- 1st subfield T1 of the scan electrical potential difference VG of the scanning line the time of taking the electrical potential difference value which operates memory, when an electrical potential difference is VG1 = "1" that is, -- data signal electrical potential difference VD1 of a data signal track group sampling -- VM1 =VD1 ***** -- it holds in memory. When the electrical potential difference in the n -th subfield T n is VG n = "1", the scan electrical potential difference VG of the scanning line samples the data signal electrical potential difference VD n of a data signal track group, and holds memory as VM n =VD n .

[0032] a sampling hold circuit -- 1st subfield T1 the electrical potential difference VM 1 held at memory when the electrical potential difference VF1 of a timing track group was VF1= "1" (i.e., when taking the electrical potential difference value from which the electrical potential difference impressed to memory will be in ON condition) -- sampling -- VS=VM1 ***** -- it holds.

[0033] It is the electrical potential difference VM 1 on which the sampling hold circuit was held at memory when the electrical potential difference VF n of the timing track group in the n -th subfield T n was VF n = "1" (i.e., when taking the electrical potential difference value from which the electrical potential difference impressed by memory will be in ON condition). It samples and holds as VS=VM n .

[0034] The 1st switching means will be in ON condition, when the electrical potential difference VS held in the sampling hold circuit is VS= "1", connects a common line with a pixel electrode, will be in an OFF condition at the time of VS= "0", and will open connection of a pixel electrode and a common line.

[0035] As a sample hold circuit at this time, it can realize by the 2nd n switching means and 1st at least one capacity, and memory can consist of the 3rd n switching means and the 2nd capacity of the same number.

[0036] Moreover, it is good to connect the 1st and 2nd above-mentioned capacity and the 1st switching means to a common line, respectively, or to make it ground.

[0037] Moreover, using selection circuitries, such as an AND circuit, instead of a sample hold circuit is also considered.

[0038] <Example 1> drawing 1 shows the block diagram of the liquid crystal display of one example in this invention.

[0039] The substrate which is one side to which this liquid crystal display has arranged the pixel circuit 50 in the shape of a matrix in all directions, The substrate of another side which has the transparent counterelectrode 70, and the liquid crystal layer inserted among both substrates, The scanning circuit 1 which drives the scanning line 100, and the data circuit 2 which drives the data signal track group 200, The source 5 of liquid crystal drive alternating voltage which supplies the liquid crystal drive alternating voltage VCP which drives liquid crystal to a counterelectrode 70, A timing signal VF1, VF2, and VF3 It consists of a timing circuit 3 to generate and a central potential circuit 4 which supplies the main electrical potential difference VCNT of the above-mentioned liquid crystal drive alternating voltage VCP to the above-mentioned pixel circuit 50.

[0040] Moreover, the scanning line 100 and the data signal track group 200 go direct mutually, and establish the above-mentioned pixel circuit 50 in those intersections.

Furthermore, the timing track group 300 which supplies the common line 400 which supplies a main electrical potential difference, and a timing signal is arranged at the scanning line and parallel, and is connected to the pixel circuit 50.

[0041] Drawing 2 is the block diagram showing the configuration of the pixel circuit 50 of the liquid crystal display in the case of impressing three indicative datas to the data signal track group in this invention. The pixel circuit 50 is three indicative datas VF1 impressed to a data signal track group, VF2, and VF3. Corresponding electrical potential differences [VM / VM, VM / 2 /, and / 3] 1 Stored memory 10, Electrical potential differences [VM / VM, VM / 2 /, and / 3] 1 It is controlled by the electrical potential difference VS held by the sample hold circuit 20 chosen, taken out and held and the sample hold circuit 20, and consists of the 1st switching means 30 which determines the connection condition of the pixel electrode 40 and the common line 400. a sample hold circuit 20 -- the time of VF1= "1" -- VM1 -- a sample -- carrying out -- VS=VM1 ***** -- holding -- the time of VF2= "1" -- VM2 -- a sample -- carrying out -- as VS=VM2 -- holding -- the time of VF3= "1" -- VM3 a sample -- carrying out -- VS=VM3 ***** -- it holds.

[0042] Drawing 3 is a circuit diagram which realizes the pixel circuit 50 shown with the

block diagram of drawing 2. Memory 10 consists of memory space 14, 15, and 16 as 3 sets of memory 11, 12, and TFT 13 and the 2nd capacity as 3rd switching means. A sample hold circuit 20 consists of hold capacity 24 of one piece as three samplings 21, 22, and TFT 23 and the 1st capacity as 2nd switching means. Moreover, the switch TFT31 was formed as 1st switching means 30 which controls the electrical potential difference of a pixel electrode. However, as 1st, 2nd, and 3rd switching means, although TFT is used in this example, if it has a switching function, it will not matter. Moreover, if the 1st and 2nd capacity is also the component which has memory storage functions, such as a capacitor, it will not matter.

[0043] memory TFT11 -- the scan electrical potential difference VG of the scanning line 100 -- 1st subfield T1 the time, at i.e., the taking the electrical-potential-difference value which operates memory TFT11 time, of $VG1 = "1"$ -- data signal electrical potential difference VD1 of the data signal track group 200 sampling -- $VM1 = VD1$ ***** -- it holds to memory space 14.

[0044] memory TFT12 -- the scan electrical potential difference VG of the scanning line 100 -- 2nd subfield T2 the time of $VG2 = "1"$ -- the data signal electrical potential difference VD2 of the data signal track group 200 -- sampling -- $VM2 = VD2$ ***** -- it holds to memory space 15.

[0045] For memory TFT13, the scan electrical potential difference VG of the scanning line 100 is 3rd subfield T3. At the time of $VG3 = "1"$, the data signal electrical potential difference VD3 of the data signal track group 200 is sampled, and it holds to memory space 16 as $VM3 = VD3$.

[0046] sampling TFT21 -- electrical potential difference VF1 of the timing track group 300 Electrical potential difference VM 1 held at memory space 14 when it was $VF1 = "1"$ (i.e., when memory TFT11 takes the electrical-potential-difference value which operates ON condition) sampling -- $VS = VM1$ ***** -- it holds in the hold capacity 24. It is the electrical potential difference VM 2 held at memory space 15 when sampling TFT22 took the electrical-potential-difference value which operates memory TFT12 when the electrical potential difference VF2 of the timing track group 300 is $VF2 = "1"$ that is, It samples and is $VS = VM2$. It carries out and holds in the hold capacity 24. sampling TFT23 -- electrical potential difference VF3 of the timing track group 300 Electrical potential difference VM 3 held at memory space 16 when it was $VF3 = "1"$ (i.e., when taking the electrical-potential-difference value which operates memory TFT13) sampling -- $VS = VF3$ ***** -- it holds in the hold capacity 24.

[0047] A switch TFT31 will be in ON condition, when the electrical potential difference VS held at the hold capacity 24 is $VS = "1"$, and the common line 400 is connected with

the pixel electrode 40, it will be in an OFF condition at the time of $VS = "0"$, and connection of the pixel electrode 40 and the common line 400 will be opened wide.

[0048] The timing chart of the 1st signal wave form which operates the 1st example which shows actuation of the 1st example of this invention constituted as mentioned above to drawing 4 explains to a detail. The liquid crystal drive alternating voltage VCP, the pixel electrode driver voltage VPX of the pixel electrode 40, and the liquid crystal applied voltage VLC of the counterelectrode 70 supplied from the electrical potential difference VS held at the electrical potential differences [VM / VM , $VM / 2$ /, and $/ 3$] 1 on which the signal shown in drawing 4 was held at the output VF1 of a timing circuit, VF2, VF3, and memory space 14, 15, and 16, and the hold capacity 24, and the alternating-voltage circuit 5 can be expressed with the formula of $VLC = VCP \cdot VPX$. The output VCP of an alternating-voltage circuit is the period T_0 of one frame which is the alternating voltage on the basis of the electrical potential difference VCNT of a central potential circuit, and is the period. Although determined from conditions, such as a flicker at the time of a display, and power consumption, it is $T_0 = 1/60s = 16.6ms$ here. It set up.

[0049] One frame is T_1 . The 1st subframe of a period, and T_2 It is divided into the 2nd subframe of a period, and the 3rd subframe of the period of T_3 . Here, it is $T_2 = 2T_1$ and $T_3 = 4T_1$. It set up.

[0050] the output VF1 of a timing circuit, VF2, and VF3 a period -- T_0 it is -- VF1 Period t_0 of the beginning of the 1st subframe "1" -- becoming -- VF2 Period t_0 of the beginning of the 2nd subframe "1" -- becoming -- VF3 It is set to "1" at the period t_0 of the beginning of the 3rd subframe. Here, it is t_0 . T_1 , T_2 , and T_3 It compares and is time amount short enough.

[0051] For the electrical potential difference VCP impressed to a counterelectrode 70, the amplitude value to the main electrical potential difference VCNT is $**V_0$. It is the alternating voltage which a polarity reverses during each subframe period, and they are VF1 and VF2. Or VF3 When it is in the condition of "1", it is set up so that it may become equal to the main electrical potential difference value VCNT.

[0052] In drawing 4, the case where the outputs [VM / VM , $VM / 2$ / and $/ 1$] 3 of memory 10 change to "000" from "110" is taken for the example. Outputs [VM / VM , $VM / 2$ /, and $/ 3$] 1 of memory 10 The changing timing is VF1, VF2, and VF3, in order to be dependent on write-in actuation of memory 10. It is not necessary to make it synchronize especially in VCP.

[0053] It sets to the 1st subframe at first, and is the output VM 1 of memory 10. Since it is "0", $VS = VM_1 = "0"$ is held and a switch TFT31 will be in an OFF condition. Therefore,

the electrical potential difference impressed to liquid crystal at this period is $VLC=0$. It sets to the 2nd subframe and is the output VM 2 of memory 10. Since it is "1", $VS=VM2 = "1"$ is held and a switch TFT31 will be in ON condition. therefore, the electrical potential difference impressed to liquid crystal at this period -- $VLC=V_0$ it is. In the 3rd subframe, since the output VM 3 of memory 10 is "1", $VS=VM3 = "1"$ is held and a switch TFT31 will be in ON condition. therefore, the electrical potential difference impressed to liquid crystal at this period -- $VLC=V_0$ it is. Therefore, the average of the absolute value of the electrical potential difference impressed to liquid crystal at one frame of the beginning is set to $VAV=(V_0 \times T_3 + V_0 \times T + 0 \times T_1)/T_0 = 6V_0 \times T_1/T_0 (=6\alpha)$. According to this approach, with the combination of $n=3$ indicative datas currently held at memory space 14, 15, and 16 At the time of "000", at the time of $VAV=0$ and "001" At $VAV=\alpha$, the time of "010" It is alike and it is possible to impress [at $VAV=2\alpha$ and the time of "011"] the average electrical potential difference of the $2n=23=8$ passage of $VAV=7\alpha$ to liquid crystal at $VAV=6\alpha$ and the time of "111" at $VAV=5\alpha$ and the time of "110" at $VAV=4\alpha$ and the time of "101" at $VAV=3\alpha$ and the time of "100." Thereby, gradation can be displayed.

[0054] When changing from the 3rd subframe of the 1st frame to the 1st subframe of the 2nd frame, it changes to $VS = "0"$ from $VS = "1"$, and a switch TFT31 changes from ON condition to an OFF condition. For example, if the electrical potential difference is impressed to liquid crystal at this timing, when a switch TFT31 changes to an OFF condition, this electrical potential difference will be held and cannot be set to 0 of a request of the electrical potential difference impressed to liquid crystal at the period of the 1st subframe of the 2nd frame. At this invention, it is VF1, VF2, or VF3. Since it has set up so that an electrical potential difference may not be impressed to $VCP=VCNT$, i.e., liquid crystal, when it is set to "1" and VS changes, it can be referred to as 0 of a request of the electrical potential difference impressed to liquid crystal at the period of the 1st subframe of the 2nd frame.

[0055] At drawing 4, it is VM2 to the period of the 3rd frame in the 2nd frame. And VM3 It has changed to "0" from "1." At this time, it is VF1, VF2, and $VF3 = "0"$, and since an OFF condition has sampling 21, 22, and TFT 23, change of VM2 and VM3 does not affect VS. That is, the condition of a switch TFT31 does not change and does not affect liquid crystal. At the following frame, these change is VF2. Or VF3 Liquid crystal is affected only after being set to "1." Thus, since memory 10 and a switch 31 have dissociated, with the electrical potential difference impressed to liquid crystal, the contents of memory 10 are asynchronous and can be written in.

[0056] A switch TFT31 is always in an OFF condition, and it is set to $VLC=0$ after the

3rd frame from which the condition of memory was set to "000."

[0057] Thus, when constituted, it is VM1, VM2, and VM3 by memory space 14, 15, and 16. If held good, unless a display image will change, it is not necessary to rewrite the contents of memory. That is, it is 2n with a memory built-in liquid crystal display by using this invention. The gradation display of level is attained, it is still smaller and the liquid crystal display of a low power can be offered.

[0058] Since VS is changed for every subframe by moving a charge between memory space 14, 15, and 16 and the hold capacity 24, VM1, VM2, and VM3 A voltage level is VM1, VM2, and VM3 by being equalized gradually and leak of memory 11, 12, and TFT 13. Although a voltage level will fall What is necessary is just to use a capacity small as a hold capacity 24 for a big capacity as memory space 14, 15, and 16, in order to prevent this. Moreover, when it becomes every frame number fixed even when a display image does not change, and below a fixed electrical potential difference, the indicative data of memory may be rewritten. Furthermore, if it rewrites to extent to which power consumption does not increase by this rewriting, not only a miniaturization but the effectiveness of a low power is maintainable.

[0059] Drawing 5 is the timing chart showing the 2nd signal wave form which operates the 1st example.

[0060] Although VF1, VF2, VF3, VM1, VM2, VM3, and VS are the same as the 1st signal wave form shown in drawing 4, VCP(s) differ. Although VCP was the symmetrical wave which the polarity reversed at the subframe period and was an alternating current wave form which does not have a dc component in a subframe period in the 1st signal wave form, VCP is a wave which contains a dc component in the one-frame period which does not reverse a polarity in a subframe period, therefore consists of the 1st, 2nd, and 3rd subframe in the 2nd signal wave form. In order to compensate this dc component, as shown in drawing 5, a polarity is reversed for every frame, and it has become an alternating current wave form without the dc component which made the period of two frames one period. If this 2nd signal wave form is used, since the frequency of VCP can be reduced compared with the 1st signal wave form, power consumption can be reduced further.

[0061] Drawing 6 is the timing chart showing the 3rd signal wave form which operates the 1st example.

[0062] One-frame period T0 It is T1 like the 1st and 2nd signal wave forms. The 1st subframe of a period, and T2 The 2nd subframe of a period, and T3 Although divided into the 3rd subframe of a period, unlike the 1st and 2nd signal wave forms, it is $T1=T2=T3=T0/3$. In the 1st subframe, it sets to **V2 and the 3rd subframe in **V1 and

the 2nd subframe, and the amplitude of VCP is V_3 . It is set up. At drawing 6, it is $V_2=2V_1$ and $V_3=4V_1$. It set up. Moreover, although VCP was set as the wave which makes two frames one period like the 2nd signal wave form, equivalent effectiveness is acquired even if it uses for a subframe period the wave which makes one period one frame which a polarity reverses like the 1st signal wave form. The average VAV of the absolute value of the electrical potential difference impressed to liquid crystal by making VCP into such a wave at one frame With the combination of $n=3$ indicative datas currently held at memory space 14, 15, and 16 It is set to $VAV=(0 \times V_3 + 1 \times V_2 + 1 \times V_1)/3 = 2V_1/3 = 2 \times \beta = 2\beta$ at the time of $VAV=(0 \times V_3 + 0 \times V_2 + 1 \times V_1)/3 = V_1/3 (= \beta)$, and "010" at the time of $VAV=0$ and "001" at the time of "000." It is made the same. At $VAV=3 \times \beta = 3\beta$ and the time of "100" at the time of "011" $VAV=4 \times \beta = 4\beta$, At the time of "101", it is possible at $VAV=5 \times \beta = 5\beta$ and the time of "110" to impress the average electrical potential difference VAV of the $2n=23=8$ passage of $VAV=7 \times \beta = 7\beta$ to liquid crystal at $VAV=6 \times \beta = 6\beta$ and the time of "111", and, thereby, gradation can be displayed at them. In the 1st and 2nd signal wave form, if the number n of an indicative data increases, the minimum value of a subframe period will increase rapidly, but in the 3rd signal wave form, altogether, since it is the same, a subframe period can lengthen the minimum value of a subframe period compared with the 1st and 2nd signal wave form. That is, the highest frequency component of VCP becomes low compared with the 1st and 2nd signal wave form, therefore can reduce power consumption.

[0063] Drawing 7 is the timing chart showing the 4th signal wave form which operates the 1st example.

[0064] Although VF_1 , VF_2 , VF_3 , VM_1 , VM_2 , VM_3 , and VS are the same as the 3rd signal wave form shown in drawing 6, VCP(s) differ. Although the absolute value of the electrical potential difference in a subframe period was changed by changing the amplitude of VCP the whole subframe in the 3rd signal wave form, in the 4th signal wave form, pulse width is changed instead of the amplitude of VCP, and the absolute value of the electrical potential difference in a subframe period is changed. At drawing 7, it is the pulse width of VCP in the 1st, 2nd, and 3rd subframe period t_1 , $t_2=2 \times t_1 = 2t_1$, and $t_3=4 \times t_1 = 4t_1$ It has set up. The average VAV of the absolute value of the electrical potential difference impressed to liquid crystal by making VCP into such a wave at one frame With the combination of $n=3$ indicative datas currently held at memory space 14, 15, and 16 At the time of "000", at the time of $VAV=0$ and "001" $VAV=(0 \times t_3 + 0 \times t_2 + V_0 \times t_1)/T_0 = V_0 \times t_1/T_0 (= \gamma)$, It is set to $VAV=(0 \times t_3 + V_0 \times t_2 + 0 \times t_1)/3 = V_0 \times 2t_1/T_0 = 2\gamma$ at the time of "010." It is made the same. The

VAV=7gamma thing for which 2n of average electrical potential differences VAV of =23 =8 passage is impressed to liquid crystal at the time of VAV=6gamma and "111" is possible at the time of VAV=5gamma and "110" at the time of VAV=4gamma and "101" at the time of VAV=3gamma and "100" at the time of "011." Thereby, gradation can be displayed. Although VCP consists of many voltage levels in the 4th signal wave form, even if the number n of an indicative data increases, since VCP consists of 3 level of VCNT+V0, VNCT, and VNCT-V0, it can consider the source of liquid crystal drive alternating voltage which outputs VCP as an easy configuration in the 5th signal wave form.

[0065] It is 2n although especially this example showed the configuration which displays 8 gradation. The number of the number of data wiring, memory space (the number and memory space of Memory TFT), a sample hold circuit (number of Sampling TFT, hold capacity), and a timing line is changed n times to display the gradation of level. Moreover, a subfield is equally divided into n pieces, it divides by the time amount which set up the electrical potential difference of n level, or was proportioned in the square of the minimum subfield period, and the drive approach should just also set to n processing performed by above 3, such as impressing an electrical potential difference with the equal amplitude.

[0066] <Example 2> drawing 8 shows the block diagram of the liquid crystal display of the 2nd example in this invention. The substrate which is one side to which this liquid crystal display has arranged the pixel circuit 50 in the shape of a matrix in all directions, The substrate of another side which has the transparent counterelectrode 70, and the liquid crystal layer inserted among both substrates, The scanning circuit 1 which drives the scanning line 100, and the data circuit 2 which drives the data signal track group 200, The source 5 of liquid crystal drive alternating voltage which supplies the alternating voltage which drives liquid crystal to a counterelectrode 70, a timing signal VF0 and VF1, VF2, and VF3 It consists of a timing circuit 3 to generate and a central potential circuit 4 which supplies the main electrical potential difference VCNT of alternating voltage to the pixel circuit 50. The scanning line 100 and the data signal track group 200 go direct mutually, and the pixel circuit 50 is established in those intersections. Furthermore, the timing track group 300 which supplies the common line 400 which supplies a main electrical potential difference, and a timing signal is arranged at the scanning line and parallel, and is connected to the pixel circuit 50.

[0067] Drawing 9 is the block diagram showing the configuration of the pixel circuit 50 of the liquid crystal display of the 2nd example in this invention. They are the electrical potential differences [VM / VM, VM / 2 /, and / 3] 1 corresponding to n= 3 indicative

datas in the pixel circuit 50. Stored memory 10, VM1, VM2, and VM3 Either is chosen and it changes into the sample hold circuit of the example 1 outputted as VS. Selection circuitry 80, VS and VF0 It is controlled and consists of a switch 90 which switches connection relation with the common line or touch-down which is the 1st switching means 30 which determines the connection condition of the pixel electrode 40 and the common line 400. A selection circuitry 80 is VM1 at the time of VF1 = "1". It chooses and is VS=VM1. It outputs and is VM2 at the time of VF2 = "1". It chooses and is VS=VM2. It outputs and is VM3 at the time of VF3 = "1". It chooses and is VS=VM3. It outputs. the 1st switching means 30 -- the output VS of a selection circuitry 80 -- VS = "1" -- or timing signal VF0 When it is VF0 = "1", the pixel electrode 40 and the common line 400 are connected, and connection of the pixel electrode 40 and the common line 400 is opened at the time of VS = "0" and VF0 = "0."

[0068] Drawing 10 is a circuit diagram which realizes the pixel circuit 50 shown with the block diagram of drawing 9. Memory 10 consists of n= 3 sets of memory 11, 12, and TFT 13, and memory space 14, 15, and 16. A selection circuitry 80 consists of an n=3 set x2 piece =6 piece switch 81, 82, 83, 84, 85, and TFT 86 as 2nd switching means.

[0069] A selection circuitry 80 carries out and the switch function according to VF of the 2nd switching means of the sample hold circuit 20 shown in an example 1 in this example is VF0. The switch function of the 1st switching means 30 which responded is constituted by the switch TFT91.

[0070] memory TFT11 -- the electrical potential difference VG of the scanning line 100 -- 1st subfield T1 the time of VG1 = "1" -- electrical potential difference VD1 of the data signal track group 200 sampling -- VM1 =VD1 ***** -- it holds to memory space 14.

[0071] memory TFT12 -- the electrical potential difference VG of the scanning line 100 -- 2nd subfield T2 the time of VG2 = "1" -- electrical potential difference VD2 of the data signal track group 200 sampling -- VM2 =VD2 ***** -- it holds to memory space 15.

[0072] memory TFT13 -- the electrical potential difference VG of the scanning line 100 -- 3rd subfield T3 the time of VG3 = "1" -- electrical potential difference VD3 of the data signal track group 200 sampling -- VM3 =VD3 ***** -- it holds to memory space 16.

[0073] It is the electrical potential difference VM 1 on which the switch TFT81 was held at memory space 14. Being in ON condition, when it is VM1 = "1", a switch TFT84 is the electrical potential difference VF1 of the timing track group 300. When it is VF1 = "1", it will be in ON condition. Therefore, the pixel electrode 40 is connected to the common line 400 at the time of VM1 = "1" and VF1 = "1." A switch TFT82 will be in ON condition, when the electrical potential difference VM 2 held at memory space 15 is VM2= "1", and a switch TFT85 is the electrical potential difference VF2 of the timing track group 300.

When it is $VF2 = "1"$, it will be in ON condition. Therefore, the pixel electrode 40 is connected to the common line 400 at the time of $VM2 = "1"$ and $VF2 = "1"$. It is the electrical potential difference $VM3$ on which the switch TFT83 was held at memory space 16. When it is $VM3 = "1"$, it will be in ON condition, and a switch TFT86 will be in ON condition, when the electrical potential difference $VF3$ of the timing track group 300 is $VF3 = "1"$. Therefore, the pixel electrode 40 is connected to the common line 400 at the time of $VM3 = "1"$ and $VF3 = "1"$.

[0074] A switch TFT91 is the electrical potential difference $VF0$ of the timing track group 300. When it is $VF0 = "1"$, it will be in ON condition, and the pixel electrode 40 and the common line 400 are connected.

[0075] The timing chart of the signal wave form which shows actuation of the 2nd example of this invention constituted as mentioned above in drawing 11 explains to a detail. The signal shown in drawing 11 is the electrical potential difference VCP , the electrical potential difference VPX of a pixel electrode, and liquid crystal applied-voltage $VLC = VCP - VPX$ of the counterelectrode 70 supplied from the electrical potential differences [VM / VM , $VM / 2 /$, and $/ 3$] 1 held at the output $VF0$ of a timing circuit, $VF1$, $VF2$, $VF3$, and memory space 14, 15, and 16, and the alternating-voltage circuit 5. The output VCP of an alternating-voltage circuit is the alternating voltage on the basis of the electrical potential difference $VCNT$ of a central potential circuit.

[0076] Period $T0$ of one frame $T1$ The 1st subframe of a period, and $T2$ The 2nd subframe of a period, and $T3$ It is divided into the 3rd subframe of a period. Here, it is $T2 = 2T1$ and $T3 = 4T1$. It set up.

[0077] the output $VF0$ of a timing circuit, $VF1$, $VF2$, and $VF3$ a period -- $T0$ it is -- $VF0$ The period $t0$ of the beginning of the 1st subframe, and the period $t0$ of the beginning of the 2nd subframe, And period $t0$ of the beginning of the 3rd frame It is set to "1" and is $VF1$. It is set to "1" at the period of the 1st subframe, and is $VF2$. It is set to "1" at the period of the 2nd subframe, and is $VF3$. It is set up so that it may be set to "1" at the period of the 3rd subframe. Here, it is $t0$. $T1$, $T2$, and $T3$ It compares and is time amount short enough.

[0078] For the electrical potential difference VCP impressed to a counterelectrode 70, the amplitude value to the main electrical potential difference $VCNT$ is $**V0$. It is the alternating voltage whose period is two frames, and is $VF0$. When it is in the condition of "1", it is set up so that it may become equal to the main electrical potential difference value $VCNT$.

[0079] At drawing 11, they are the outputs [VM / VM , $VM / 2 /$ and $/ 1$] 3 of memory 10. The case where it changes to "000" from "110" is taken for the example. Outputs $VM1$,

VM2, and VM3 of memory 10. The changing timing is VF1, VF2, and VF3, in order to be dependent on write-in actuation of memory 10. Period t0 of the 1st subframe which does not synchronize in VCP. It sets, and for VF0 = "1", a switch TFT91 is in ON condition, and the pixel electrode 40 is connected to the common line 400. At this time, it is $V_{CP} = V_{CNT}$ and the electrical potential difference impressed to liquid crystal is $V_{LC} = 0$. In the period of (T1-t0) in the 1st continuing subframe, a switch 81, 85, 86, and TFT 91 is in an OFF condition, the connection between the pixel electrode 40 and the common line 400 is opened wide, and $V_{LC} = 0$ is held. Continuing period t0 of the beginning of the 2nd frame. It sets, and for VF0 = "1", a switch TFT91 is in ON condition, and the pixel electrode 40 is connected to the common line 400. At this time, it is $V_{CP} = V_{CNT}$ and the electrical potential difference impressed to liquid crystal is $V_{LC} = 0$. In the period of (T2-t0) in the 2nd continuing subframe, it is VF2 = "1" and VM2 = "1", and the pixel electrode 40 is connected to the common line 400. Therefore, in liquid crystal, it is difference electrical-potential-difference $V_{LC} = V_{CP} - V_{PX} = -V_0$ of VCP and electrical-potential-difference $V_{PX} = V_{CNT}$ of a pixel electrode. It is impressed. Period t0 of the beginning of the 3rd continuing subframe. It sets, and for VF0 = "1", a switch TFT91 is in ON condition, and the pixel electrode 40 is connected to the common line 400. At this time, it is $V_{CP} = V_{CNT}$ and the electrical potential difference impressed to liquid crystal is $V_{LC} = 0$. In the period of (T3-t0) in the 3rd continuing subframe, it is VF3 = "1" and VM3 = "1", and the pixel electrode 40 is connected to the common line 400. Therefore, in liquid crystal, it is difference electrical-potential-difference $V_{LC} = V_{CP} - V_{PX} = V_0$ of VCP and electrical-potential-difference $V_{PX} = V_{CNT}$ of a pixel electrode. It is impressed. Therefore, the average of the absolute value of the electrical potential difference impressed to liquid crystal at the 1st one frame is set to $V_{AV} = (0 \times T_1 + V_0 \times T_2 + V_0 \times T_3) / T_0 = 6V_0 \times T_1 / T_0 (=6\alpha)$. According to this approach, it is possible to impress the average electrical potential difference of $2n = 23 = 8$ passage to liquid crystal like the 1st example, and, thereby, gradation can be displayed.

[0080] At drawing 11, it is VM2 to the period of the 3rd frame in the 2nd frame. And VM3 It has changed to "0" from "1." Since the condition of a switch TFT83 changes from ON to OFF at this time, the pixel electrode 40 changes to the condition of having been wide opened from the condition of having connected with the common line 400. Electrical-potential-difference $V_{LC} = -V_0$ currently impressed to liquid crystal at this time. It is held. For example, period t0 which becomes VF0 = "1" in the 1st subframe of the 3rd frame following this. When there is nothing, in this 1st subframe, connection of the pixel electrode 40 and the common line 400 is opened wide, and it is $V_{LC} = -V_0$. It becomes [being held with as, and] and $V_{LC} = 0$ of a request is not impressed. However,

in this example, the period t_0 which surely becomes $V_{F0} = "1"$ is formed in the beginning of a subframe, and it is t_0 . It is possible for such fault not to happen, since it has set up with $V_{CP} = V_{CNT}$ so that it may be set to $V_{LC} = 0$ in a period, but to impress a desired electrical potential difference to liquid crystal.

[0081] A switch 81, 82, and TFT 83 is always in an OFF condition, and it is set to $V_{LC} = 0$ after the 3rd frame from which the condition of memory was set to "000."

[0082] As mentioned above, the low-power liquid crystal display in which the gradation display of $2n$ level is possible can be offered by the memory holding n indicative datas by using this example.

[0083] Furthermore, equivalent effectiveness is acquired even if it uses the 1st signal wave form in the 1st example, and the signal-level wave whose period is one frame about V_{CP} similarly.

[0084] Furthermore, the period of a subframe is made the same ($T_1 = T_2 = T_3$) like the 3rd signal wave form in the 1st example, and equivalent effectiveness is acquired even if it changes the amplitude of V_{CP} for every subframe. Moreover, in this case, like the 4th signal wave form in the 1st example, even if it changes pulse width instead of the amplitude of V_{CP} , equivalent effectiveness is acquired. It will be $2n$ if similarly the processing performed by $n = 3$ is changed into n . The gradation of level can be displayed.

[0085]

[Effect of the Invention] In case a multi-tone display is realized in the active-matrix liquid crystal display which contained memory according to this invention, since circuitry can be simplified more, the yield can be raised, as a result a manufacturing cost can be reduced.

[0086] moreover, the thing which the amplitude of the liquid crystal driver voltage which forms a counterelectrode in the configuration of this invention and is impressed to it at the counterelectrode is almost equal mutually, a frame period is divided into two or more subframes, and the die length of the period of the divided subframe differs -- a low power will become more possible if it forms like. Moreover, the amplitude of the liquid crystal driver voltage impressed to said counterelectrode is $2n$, if it differs mutually and a frame period is divided into two or more subframes, and the die length of the period of the divided subframe forms so that almost equally. When it is going to take out the gradation of level, it can obtain only with the amplitude.

[0087] Furthermore, if it is made for liquid crystal driver voltage to become equal to a main electrical potential difference at the beginning of each subframe, since the electrical potential difference of a pixel electrode becomes fixed and can prevent

malfunction of the 1st switching means, an exact display can be performed.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a block diagram showing the whole one example configuration of the liquid crystal display in this invention.

[Drawing 2] In one example of the liquid crystal display in this invention, it is the block diagram showing the configuration of the pixel circuit 50 in the case of impressing three indicative datas to a data signal track group.

[Drawing 3] One circuit diagram which realizes the pixel circuit of the liquid crystal display of drawing 2.

[Drawing 4] The timing chart showing the 1st signal wave form of the electrical potential difference impressed to the liquid crystal display of drawing 1.

[Drawing 5] The timing chart showing the 2nd signal wave form of the electrical potential difference impressed to the liquid crystal display of drawing 1.

[Drawing 6] The timing chart showing the 3rd signal wave form of the electrical potential difference impressed to the liquid crystal display of drawing 1.

[Drawing 7] The timing chart showing the 4th signal wave form of the electrical potential difference impressed to the liquid crystal display of drawing 1.

[Drawing 8] It is a block diagram showing the whole one example configuration of the liquid crystal display in this invention.

[Drawing 9] In one example of the liquid crystal display in this invention, it is the block diagram showing the configuration of the pixel circuit 50 in the case of impressing three indicative datas to a data signal track group.

[Drawing 10] One circuit diagram which realizes the pixel circuit of the liquid crystal display of drawing 9.

[Drawing 11] The timing chart showing the signal wave form of the electrical potential difference impressed to the liquid crystal display of drawing 8.

[Description of Notations]

1 [-- A central potential circuit,] -- A scanning circuit, 2 -- A data circuit, 3 -- A timing circuit, 4 5 -- The source of liquid crystal drive alternating voltage, 10 -- Memory, 11, 12, 13 -- Memory TFT, 14, 15, 16 -- Memory space, 20 -- A sample hold circuit, 21, 22, 23 -- Sampling TFT, 24 -- Hold capacity, 30 -- The 1st switching means, 31, 81, 82, 83, 84, 85, 86, 91 -- Switch TFT, 40 [-- A counterelectrode, 80 / -- A selection circuitry, 90 / -- A switch, 100 / -- The scanning line, 200 / -- A data signal track group, 300 / -- A timing track group, 400 / -- Common line.] -- A pixel electrode, 50 -- A pixel circuit, 60 -- Liquid

JP11-2797A

crystal, 70

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-2797

(43) 公開日 平成11年(1999) 1月6日

(51) Int.Cl.⁶

G 0 2 F 1/133
1/1343
G 0 9 G 3/36

識別記号

5 5 0

F I

G 0 2 F 1/133
1/1343
G 0 9 G 3/36

5 5 0

審査請求 未請求 請求項の数10 O L (全 15 頁)

(21) 出願番号

特願平9-151883

(22) 出願日

平成9年(1997) 6月10日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 小村 真一

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 佐藤 秀夫

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 三上 佳朗

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74) 代理人 弁理士 小川 勝男

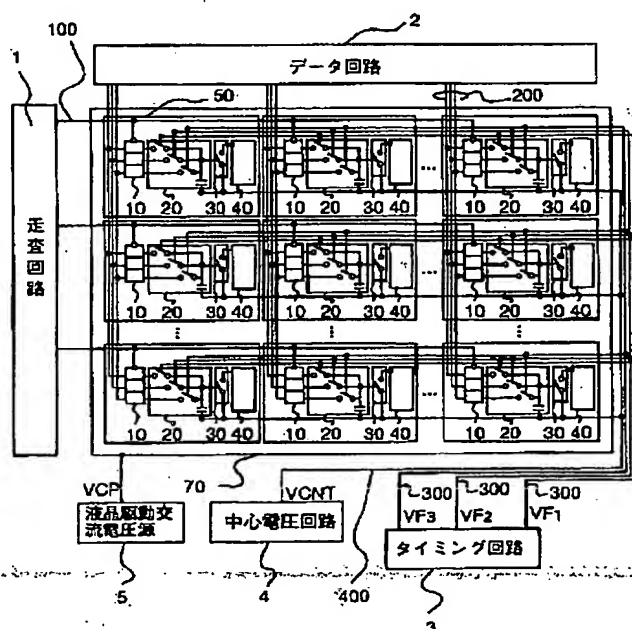
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】メモリを内蔵したアクティブマトリクス液晶表示装置において、多階調表示を実現する際に、回路面積を小さくし、歩留まりを向上させ、製造コストを低下させる。

【解決手段】一対の基板とその基板の間に液晶層を有する液晶表示装置において、基板の一方にマトリクス状に形成した走査線とデータ信号線群と、走査線の間に形成されたタイミング線群と、走査線とデータ信号線群とに囲まれた領域において、対応する走査線とデータ信号線群とに接続され、走査信号に応答してデータ信号線群からの表示データを取り込み保持するメモリと、そのメモリに保持されたデータを取り込み、タイミング信号に制御される複数のサンプルホールド回路と、そのサンプルホールド回路に制御されるスイッチング手段と、そのスイッチング手段に接続された画素電極とで構成する。



(2)

【特許請求の範囲】

【請求項1】少なくとも一方が透明な一对の基板と、それら一对の基板に挟持された液晶層を有する液晶表示装置において、

前記一对の基板の一方には、複数の走査線と、前記複数の走査線にマトリクス状に交差する複数のデータ信号線群と、前記複数の走査線の間に形成された複数のタイミング線群と、

前記複数の走査線と前記複数のデータ信号線群とに囲まれた領域で、その対応する走査線とデータ信号線群とに接続され、走査信号にตอบสนองしてデータ信号線群からの表示データを取り込み保持するメモリと、そのメモリに接続され、そのメモリに保持されたデータを取り込み、前記領域に対応するタイミング線群のタイミング信号によって出力が制御されるサンプルホールド回路と、前記のサンプルホールド回路の出力によって制御される第1のスイッチング手段と、その第1のスイッチング手段に接続された画素電極とを有することを特徴とする液晶表示装置。

【請求項2】少なくとも一方が透明な一对の基板と、それら一对の基板に挟持された液晶層を有する液晶表示装置において、

前記一对の基板の一方には、複数の走査線と、前記複数の走査線にマトリクス状に交差する複数のデータ信号線群と、前記複数の走査線の間に形成された複数のタイミング線群と、

前記複数の走査線と前記複数のデータ信号線群とに囲まれた領域で、その対応する走査線とデータ信号線群とに接続され、走査信号にตอบสนองしてデータ信号線群からの表示データを取り込み保持するメモリと、そのメモリに接続され、そのメモリに保持されたデータを取り込み、前記複数のタイミング線群のタイミング信号によって出力が制御される選択回路と、その選択回路の出力によって制御される第1のスイッチング手段と、その第1のスイッチング手段に接続された画素電極とを有することを特徴とする液晶表示装置。

【請求項3】請求項1あるいは2において、前記一对の基板の他方には前記画素電極に対向する対向電極が形成されることを特徴とする液晶表示装置。

【請求項4】請求項1において、前記サンプルホールド回路には前記メモリに接続された複数の第2のスイッチング手段が形成されることを特徴とする液晶表示装置。

【請求項5】請求項1において、前記選択回路には前記メモリに接続された複数の第2のスイッチング手段が形成されることを特徴とする液晶表示装置。

【請求項6】請求項1あるいは2において、前記複数の走査線の間には複数のコモン線が形成され、前記囲まれた領域に対応するコモン線には、前記第1のスイッチング手段が形成されることを特徴とする液晶表示装置。

【請求項7】請求項1あるいは2において、前記対向電

2

極に印加される液晶駆動電圧の振幅は互いにほぼ等しく、フレーム期間が複数のサブフレームに分割され、その分割されたサブフレームの期間の長さが異なることを特徴とする液晶表示装置。

【請求項8】請求項1あるいは2において、前記対向電極に印加される液晶駆動電圧の振幅は互いに異なり、フレーム期間が複数のサブフレームに分割され、その分割されたサブフレームの期間の長さがほぼ等しいことを特徴とする液晶表示装置。

【請求項9】請求項1あるいは2において、前記対向電極に印加される液晶駆動電圧の波形が互いに等しく、フレーム期間が複数のサブフレームに分割され、その分割されたサブフレームの期間の長さが異なり、そのサブフレームの期間における電圧の実効値はそのサブフレームの期間に比例して変化することを特徴とする液晶表示装置。

【請求項10】請求項7乃至9において、前記複数の走査線に複数のコモン線を有し、それらのコモン線及び前記液晶駆動電圧はそのサブフレームの最初に、前記液晶駆動電圧の中心電圧に等しくなる電圧が印加される期間を有することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアクティブマトリクス液晶表示装置に係り、特にメモリ内蔵型のアクティブマトリクス液晶表示装置に関する。

【0002】

【従来の技術】従来のアクティブマトリクス駆動方式は、1990年出版の小林駿介著『カラー液晶ディスプレイ』（産業図書）に述べられているが、アクティブマトリクス型の液晶ディスプレイを駆動する際には走査線により1フレーム時間ごとに1回走査パルスが印加される。通常このパルスのタイミングはパネルの上側から下に向かって順にずれている。1フレームの時間としては1/60秒がよく用いられる。代表的な画素構成である640×480ドットのカラーパネルでは、1フレーム時間に480回の走査が行われるので、走査パルスの時間幅は $(1/60)/480\text{ s} \approx 35\text{ }\mu\text{s}$ となる。

【0003】一方、信号線には走査パルスが印加される1行分の画素の液晶に印加する液晶駆動電圧を走査パルスに同期して一斉に印加する。ゲートパルスを印加された選択画素では走査線に接続されたTFTのゲート電極電圧が高くなり、TFTがオン状態になる。このとき、液晶駆動電圧は、TFTのソース、ドレイン間を經由して表示電極に印加され、表示電極と、対向基板上に形成した対向電極との間に形成される液晶容量と、画素に配置した負荷容量とを合わせた、画素容量を充電する。この動作を繰り返すことにより、パネル全面の画素容量には、フレーム時間ごとに繰り返し液晶に電圧が印加される。

(3)

3

【0004】この液晶印加電圧はフレーム時間ごとに極性を反転することで、交流化を行っている。この結果、通常60ヘルツのフレーム周波数のとき、液晶駆動周波数はこの1/2の周波数の30ヘルツとなる。この信号電極の極性は、上述の640×480ドットのパネルの場合、1走査期間の35μs毎に反転するので、信号電極の駆動周波数は $640 \times 6.0 / 2 \text{ Hz} = 14.4 \text{ kHz}$ と液晶駆動周波数の約500倍にもなる。すなわち、表示する画像が変わらない場合でも、信号電極線の電位を高速に変化させている。

【0005】

【発明が解決しようとする課題】消費電力は周波数に比例するため、従来技術では、多くの電力が消費される。そこで、本出願人は、特願平8-62996号及び特願平8-15979号により、消費電力を大幅に低減する液晶表示装置を提案している。この液晶表示装置は、各画素毎に表示データ保持回路、及び、保持されている表示データによって制御されるスイッチ手段を備えている。この装置によれば、液晶の一方の電極である対向電極に液晶を駆動するための交流電圧を印加し、他方の電極である表示電極は前記のスイッチ手段で制御する。つまり、スイッチ手段がオン状態のとき液晶には対向電極の交流電圧が印加され、スイッチ手段がオフ状態のとき液晶には電圧が印加されない。

【0006】この方法では、表示データの内容に変更がないときには、信号線あるいは走査線の電位を変化させる必要がなく、消費電力を低減することができる。

【0007】しかし、この方法で多階調表示するには、スイッチ手段と同数の容量を形成していたので回路領域が大きくなるとともに、配線パターンが複雑になり歩留まりが低下し、製造コストが増加するという問題が生じる。また、透過型にするには開口率が低下し、反射型にしても画素電極を小さくして基板表面に形成するか、厚い絶縁膜を形成して上層に形成するかを必要とする。

【0008】本発明の目的は、メモリを内蔵した液晶表示装置で多階調表示を実現する際に回路面積を小さくし、その製造コストを低下させることにある。

【0009】

【課題を解決するための手段】第1の構成として、少なくとも一方が透明な一对の基板と、それら一对の基板に挟持された液晶層を有する液晶表示装置において、前記一对の基板の一方には、複数の走査線と、前記複数の走査線にマトリクス状に交差する複数のデータ信号線群と、前記複数の走査線の間に形成された複数のタイミング線群と、前記複数の走査線と前記複数のデータ信号線群とに囲まれた領域で、その対応する走査線とデータ信号線群とに接続され、走査信号にตอบสนองしてデータ信号線群からの表示データを取り込み保持するメモリと、そのメモリに接続され、そのメモリに保持されたデータを取り込み、前記領域に対応するタイミング線群のタイミン

4

グ信号によって出力が制御されるサンプルホールド回路と、前記のサンプルホールド回路の出力によって制御される第1のスイッチング手段と、その第1のスイッチング手段に接続された画素電極とを有する構成とする。

【0010】また、第2の構成としては、少なくとも一方が透明な一对の基板と、それら一对の基板に挟持された液晶層を有する液晶表示装置において、前記一对の基板の一方には、複数の走査線と、前記複数の走査線にマトリクス状に交差する複数のデータ信号線群と、前記複数の走査線の間に形成された複数のタイミング線群と、前記複数の走査線と前記複数のデータ信号線群とに囲まれた領域で、その対応する走査線とデータ信号線群とに接続され、走査信号にตอบสนองしてデータ信号線群からの表示データを取り込み保持するメモリと、そのメモリに接続され、そのメモリに保持されたデータを取り込み、前記複数のタイミング線群のタイミング信号によって出力が制御される選択回路と、その選択回路の出力によって制御される第1のスイッチング手段と、その第1のスイッチング手段に接続された画素電極とを有する構成とする。

【0011】これらの構成に、上記他方の基板には画素電極に対向する対向電極を有する構成を加えてもよい。

【0012】第1の構成に、サンプルホールド回路にはメモリに接続された複数の第2のスイッチング手段が形成される構成としてもよい。

【0013】第2の構成に、選択回路にはメモリに接続された複数の第2のスイッチング手段が形成される構成としてもよい。

【0014】さらに、双方の構成の走査線の間には複数のコモン線が形成され、データ信号線群と走査線に囲まれた領域に対応するコモン線には、第1のスイッチング手段が接続される構成とする。

【0015】また、これらの液晶表示装置を駆動させる時に以下の駆動方法をとることが望ましい。

【0016】(1) 対向電極及び画素電極に印加される液晶駆動電圧の振幅を互いにほぼ等しくし、フレーム期間を複数のサブフレームに分割し、その分割したサブフレームの期間の長さを異ならせる。

【0017】(2) 対向電極及び画素電極に印加される液晶駆動電圧の振幅を互いに異ならせ、フレーム期間を複数のサブフレームに分割し、その分割したサブフレームの期間の長さをほぼ等しくさせる。

【0018】(3) 対向電極及び画素電極に印加される液晶駆動電圧の波形を互いに等しくさせ、フレーム期間を複数のサブフレームに分割し、その分割したサブフレームの期間の長さを異ならせ、そのサブフレームの期間における電圧の実効値をそのサブフレームの期間の2乗に比例して変化させる。

【0019】(4) 上記各サブフレームの最初に、液晶駆動電圧が中心電圧に等しくなる期間を設ける。

(4)

5

【0020】これらの駆動方法を具体的に説明すると、液晶駆動電圧は、 n 個のサブフレームからなる1フレームの電圧波形が周期的に繰り返された交流電圧で、中心電圧との差の絶対値の各サブフレーム期間における時間積分が互いに相異なるようにする。さらに、各サブフレームの最初に液晶に印加される電圧が0となる期間（リセット期間）、すなわち、液晶駆動電圧が中心電圧に等しくなる期間を設ける。

【0021】画素駆動用に形成した第1のスイッチング手段は画素電極と液晶駆動電圧の中心電圧との接続を制御する。

【0022】タイミング信号は、 i 番目のサブフレーム期間中において、メモリの i ビットの表示データが“1”のとき、中心電圧と等しい電圧が画素電極に印加されるように、画素駆動に接続された第1のスイッチング手段を制御し、メモリの i ビットの表示データが“0”のとき、画素電極に液晶駆動電圧と等しい電圧が印加されるように、画素駆動用の第1のスイッチング手段を制御する。

【0023】例えば、サブフレームの個数 $n=3$ の場合を例にとって、動作について説明する。

【0024】1フレームは第1、第2、第3のサブフレームに分割される。液晶駆動電圧は、中心電圧との差の絶対値の各サブフレーム期間における時間積分が V_1 、 $V_2=2V_1$ 、 $V_3=4V_1$ となるように設定される。

【0025】メモリの内容が“011”のとき第1サブフレームでは画素駆動用の第1のスイッチング手段はOFF状態、第2サブフレームではON状態、第3サブフレームではON状態となる。従って、液晶には第2、第3サブフレームにだけ液晶駆動電圧と中心電圧の差が印加され、第1サブフレームには電圧は印加されない。すなわち、第1サブフレームでは電圧0、第2サブフレームでは電圧 $2V_1$ 、第3サブフレームでは $4V_1$ が印加される。従って、1フレームに印加される電圧の平均値は $(0+2V_1+4V_1)/3=2V_1$ となる。このように、 $n=3$ の場合には $2^n=2^3=8$ とおりの電圧を液晶に印加することが可能であり、8レベルの階調を表示することができる。

【0026】第3サブフレームから次のフレームの第1サブフレームへ切り替わるとき、画素駆動用の第1のスイッチング手段はON状態からOFF状態へと変化する。このとき、リセット期間がないと第1サブフレームにおいて第3サブフレームの電圧が保持されてしまい所望の駆動ができない。

【0027】

【発明の実施の形態】以下、本発明の実施の形態について詳細に説明する。

【0028】少なくとも一方が透明な一対の基板と、それら一対の基板に液晶層を挟持し、その一対の基板の一方に走査回路に形成された複数の走査線と、それらの走

6

査線にマトリクス状に交差する n 本のデータ信号線からなる複数のデータ信号線群と、それらの走査線の間に n 本のタイミング線からなる複数のタイミング線群とを形成する。また、走査線と n 本のデータ信号線群とに囲まれた領域に、対応する走査線と n 本のデータ信号線群とに接続され、走査線に印加される走査信号に応答して、 n 本のデータ信号線群からの n 個の表示データを取り込み保持するメモリと、そのメモリに接続されて、そのメモリに保持された表示データ信号を取り込み、保持し、タイミング線群のタイミング信号によって出力が制御されるサンプルホールド回路と、そのサンプルホールド回路の出力によって制御される第1のスイッチング手段と、その第1のスイッチング手段に接続された画素電極と、走査線を駆動する走査回路と、それらのデータ信号線群を駆動するデータ信号回路と、対向電極に液晶を駆動する液晶駆動交流電圧VCPを供給する液晶駆動交流電圧源と、タイミング信号VF₁、VF₂、VF₃…VF_nを発生するタイミング回路と、画素回路に液晶駆動交流電圧VCPの中心電圧VCNTを供給する中心電圧回路で構成される。

【0029】また、走査線とデータ信号線群を互いに直交させ、それらの交差部に上記画素回路を設ける。さらに、中心電圧を供給するコモン線とタイミング信号を供給するタイミング線群を走査線と平行に配置し、画素回路に接続させる。

【0030】画素回路は、データ信号線群に印加される n 個の表示データVF₁、VF₂、VF₃…VF_nに対応した電圧VM₁、VM₂、VM₃…VM_nを格納するメモリと、そのメモリから電圧VM₁、VM₂、VM₃…VM_nを選択して取り出し、保持するサンプルホールド回路と、サンプルホールド回路によって保持された電圧VSによって制御され、画素電極とコモン線との接続状態を決める第1のスイッチング手段とからなる。サンプルホールド回路は、VF₁=“1”のとき、VM₁をサンプルし、VS=VM₁として保持し、VF_n=“1”のとき、VM_nをサンプルし、VS=VM_nとして保持する。

【0031】メモリは、走査線の走査電圧VGの第1番目のサブフィールドT₁での電圧がVG₁=“1”のとき、つまりメモリを動作させる電圧値をとるとき、データ信号線群のデータ信号電圧VD₁をサンプリングし、VM₁=VD₁としてメモリに保持する。メモリは、走査線の走査電圧VGが第 n 番目のサブフィールドT_nでの電圧がVG_n=“1”のとき、データ信号線群のデータ信号電圧VD_nをサンプリングし、VM_n=VD_nとして保持する。

【0032】サンプリングホールド回路は、第1番目のサブフィールドT₁でのタイミング線群の電圧VF₁がVF₁=“1”のとき、つまりメモリに印加する電圧がON状態となる電圧値をとるとき、メモリに保持された

(5)

7

電圧 VM_1 をサンプリングし、 $VS=VM_1$ として保持する。

【0033】サンプリングホールド回路は、第 n 番目のサブフィールド T_n でのタイミング線群の電圧 VF_n が $VF_n="1"$ のとき、つまりメモリに印加する電圧がON状態となる電圧値をとるとき、メモリに保持された電圧 VM_1 をサンプリングし、 $VS=VM_n$ として保持する。

【0034】第1のスイッチング手段はサンプリングホールド回路に保持された電圧 VS が $VS="1"$ のときにON状態となり、画素電極とコモン線を接続し、 $VS="0"$ のときにOFF状態となり、画素電極とコモン線の接続を開放する。

【0035】このときのサンプルホールド回路としては n 個の第2のスイッチング手段と、少なくとも1つの第1の容量で実現でき、メモリは n 個の第3のスイッチング手段と、同数の第2の容量で構成することができる。

【0036】また、上述の第1、第2の容量及び第1のスイッチング手段をそれぞれコモン線に接続するか、接地させるとよい。

【0037】また、サンプルホールド回路の代わりにAND回路などの選択回路を用いることも考えられる。

【0038】<実施例1>図1は本発明における一実施例の液晶表示装置のブロック図を示したものである。

【0039】本液晶表示装置は、画素回路50を縦横にマトリクス状に配置した一方の基板と、透明な対向電極70を有する他方の基板と、両基板間に挿入した液晶層と、走査線100を駆動する走査回路1と、データ信号線群200を駆動するデータ回路2と、対向電極70に液晶を駆動する液晶駆動交流電圧 VCP を供給する液晶駆動交流電圧源5と、タイミング信号 VF_1 、 VF_2 、

VF_3 を発生するタイミング回路3と、上記画素回路50に上記液晶駆動交流電圧 VCP の中心電圧 $VCNT$ を供給する中心電圧回路4で構成される。

【0040】また、走査線100とデータ信号線群200は互いに直行し、それらの交差部には上記画素回路50を設ける。さらに、中心電圧を供給するコモン線400とタイミング信号を供給するタイミング線群300が走査線と平行に配置され、画素回路50に接続されている。

【0041】図2は本発明におけるデータ信号線群に3個の表示データを印加する場合の液晶表示装置の画素回路50の構成を示すブロック図である。画素回路50は、データ信号線群に印加される3個の表示データ VF_1 、 VF_2 、 VF_3 に対応した電圧 VM_1 、 VM_2 、 VM_3 を格納したメモリ10と、電圧 VM_1 、 VM_2 、 VM_3 を選択して取り出し、保持するサンプルホールド回路20と、サンプルホールド回路20に保持された電圧 VS によって制御され、画素電極40とコモン線400との接続状態を決める第1のスイッチング手段3

8

0からなる。サンプルホールド回路20は、 $VF_1="1"$ のとき、 VM_1 をサンプルし、 $VS=VM_1$ として保持し、 $VF_2="1"$ のとき、 VM_2 をサンプルし、 $VS=VM_2$ として保持し、 $VF_3="1"$ のとき、 VM_3 をサンプルし、 $VS=VM_3$ として保持する。

【0042】図3は図2のブロック図で示した画素回路50を実現する回路図である。メモリ10は第3のスイッチング手段としての3組のメモリTFT11、12、13と第2の容量としてのメモリ容量14、15、16からなる。サンプルホールド回路20は、第2のスイッチング手段としての3個のサンプリングTFT21、22、23と第1の容量としての1個のホールド容量24からなる。また、画素電極の電圧を制御する第1のスイッチング手段30としてスイッチTFT31を形成した。ただし、第1、第2、第3のスイッチング手段として、本実施例ではTFTを利用しているが、スイッチング機能を有するものであればかまわない。また、第1、第2の容量もコンデンサ等の記憶機能を有する素子であればかまわない。

【0043】メモリTFT11は、走査線100の走査電圧 VG が第1番目のサブフィールド T_1 での $VG_1="1"$ のとき、つまりメモリTFT11を動作させる電圧値をとるとき、データ信号線群200のデータ信号電圧 VD_1 をサンプリングし、 $VM_1=VD_1$ としてメモリ容量14に保持する。

【0044】メモリTFT12は、走査線100の走査電圧 VG が第2番目のサブフィールド T_2 での $VG_2="1"$ のとき、データ信号線群200のデータ信号電圧 VD_2 をサンプリングし、 $VM_2=VD_2$ としてメモリ容量15に保持する。

【0045】メモリTFT13は、走査線100の走査電圧 VG が第3番目のサブフィールド T_3 での $VG_3="1"$ のとき、データ信号線群200のデータ信号電圧 VD_3 をサンプリングし、 $VM_3=VD_3$ としてメモリ容量16に保持する。

【0046】サンプリングTFT21は、タイミング線群300の電圧 VF_1 が $VF_1="1"$ のとき、つまりメモリTFT11がON状態を動作させる電圧値をとるとき、メモリ容量14に保持された電圧 VM_1 をサンプリングし、 $VS=VM_1$ としてホールド容量24に保持する。サンプリングTFT22は、タイミング線群300の電圧 VF_2 が $VF_2="1"$ のとき、つまりメモリTFT12を動作させる電圧値をとるとき、メモリ容量15に保持された電圧 VM_2 をサンプリングし、 $VS=VM_2$ としてホールド容量24に保持する。サンプリングTFT23は、タイミング線群300の電圧 VF_3 が $VF_3="1"$ のとき、つまりメモリTFT13を動作させる電圧値をとるとき、メモリ容量16に保持された電圧 VM_3 をサンプリングし、 $VS=VF_3$ としてホール

9

ド容量24に保持する。

【0047】スイッチTFT31はホールド容量24に保持された電圧VSがVS="1"のときにON状態となり、画素電極40とコモン線400を接続し、VS="0"のときにOFF状態となり、画素電極40とコモン線400の接続は開放される。

【0048】以上のように構成した本発明の第1の実施例の動作を、図4に示す第1の実施例を動作させる第1の信号波形のタイミング図で詳細に説明する。図4に示した信号は、タイミング回路の出力VF₁、VF₂、VF₃、メモリ容量14、15、16に保持された電圧VM₁、VM₂、VM₃、ホールド容量24に保持された電圧VS、交流電圧回路5から供給される対向電極70の液晶駆動交流電圧VCP、画素電極40の画素電極駆動電圧VPX、液晶印加電圧VLCは、 $VLC = VCP - VPX$ の式で表せる。交流電圧回路の出力VCPは、中心電圧回路の電圧VCNTを基準とした交流電圧であり、その周期である1フレームの期間T₀は、表示時のフリッカ、消費電力などの条件から決定されるが、ここでは、 $T_0 = 1/60 \text{ s} = 16.6 \text{ ms}$ と設定した。

【0049】1フレームはT₁の期間の第1サブフレーム、T₂の期間の第2サブフレーム、T₃の期間の第3サブフレームに分割される。ここで、 $T_2 = 2T_1$ 、 $T_3 = 4T_1$ と設定した。

【0050】タイミング回路の出力VF₁、VF₂、VF₃の周期はT₀であり、VF₁は第1サブフレームの最初の期間t₀に"1"となり、VF₂は第2サブフレームの最初の期間t₀に"1"となり、VF₃は第3サブフレームの最初の期間t₀に"1"となる。ここで、t₀はT₁、T₂、T₃にくらべ十分に短い時間である。

【0051】対向電極70に印加される電圧VCPは、中心電圧VCNTに対する振幅値が±V₀で、各サブフレーム期間中に極性が反転する交流電圧で、かつ、VF₁、VF₂あるいはVF₃が"1"の状態のときに中心電圧値VCNTと等しくなるように設定される。

【0052】図4では、メモリ10の出力VM₃、VM₂、VM₁が"110"から"000"に変化する場合を例にとっている。メモリ10の出力VM₁、VM₂、VM₃が変化するタイミングは、メモリ10の書き込み動作に依存するため、VF₁、VF₂、VF₃やVCPとは特に、同期させる必要はない。

【0053】最初、第1サブフレームにおいては、メモリ10の出力VM₁は"0"なので、VS=VM₁=
"0"が保持され、スイッチTFT31はOFF状態となる。従ってこの期間に液晶に印加される電圧はVLC=0である。第2サブフレームにおいては、メモリ10の出力VM₂は"1"なので、VS=VM₂=
"1"が保持され、スイッチTFT31はON状態となる。従ってこの期間に液晶に印加される電圧はVLC=±V₀で

(6)

10

ある。第3サブフレームにおいては、メモリ10の出力VM₃は"1"なので、VS=VM₃=
"1"が保持され、スイッチTFT31はON状態となる。従ってこの期間に液晶に印加される電圧はVLC=±V₀である。従って、最初の1フレームに液晶に印加される電圧の絶対値の平均値は $VAV = (V_0 \times T_3 + V_0 \times T + 0 \times T_1) / T$
 $0 = 6V_0 \times T_1 / T_0 (= 6\alpha)$ となる。この方法によれば、メモリ容量14、15、16に保持されているn=3個の表示データの組み合わせによって、"000"のときにVAV=0、"001"のときにVAV=α、
"010"のときにVAV=2α、"011"のときにVAV=3α、"100"のときにVAV=4α、"101"のときにVAV=5α、"110"のときにVAV=6α、
"111"のときにVAV=7αの2ⁿ=2³=8とおりの平均電圧を液晶に印加することが可能であり、これにより階調を表示できる。

【0054】1番目のフレームの第3サブフレームから2番目のフレームの第1サブフレームに切り替わるとき、VS="1"からVS="0"に変化し、スイッチTFT31はON状態からOFF状態へ切り替わる。例えばこのタイミングに液晶に電圧が印加されていれば、スイッチTFT31がOFF状態へ切り替わったときこの電圧は保持されてしまい、2番目のフレームの第1サブフレームの期間に液晶に印加される電圧を所望の0とすることができない。本発明では、VF₁、VF₂、または、VF₃が"1"となり、VSが変化するときは、VCP=VCNT、すなわち、液晶に電圧が印加されないように設定してあるので、2番目のフレームの第1サブフレームの期間に液晶に印加される電圧を所望の0とすることができる。

【0055】図4では、2番目のフレーム中の第3サブフレームの期間にVM₂及びVM₃が"1"から"0"に切り替わっている。このとき、VF₁、VF₂、及び、VF₃=
"0"であり、サンプリングTFT21、22、23はOFF状態にあるため、VM₂及びVM₃の変化はVSに影響を及ぼさない。すなわち、スイッチTFT31の状態は変化せず、液晶に影響を及ぼすことはない。これらの変化は次のフレームにて、VF₂あるいはVF₃が"1"となって初めて液晶に影響を及ぼす。このように、メモリ10とスイッチ31が分離しているため、メモリ10の内容は液晶に印加される電圧と非同期で書き込むことができる。

【0056】メモリの状態が"000"となった3番目のフレーム以後は、スイッチTFT31は常にOFF状態であり、VLC=0となる。

【0057】このように構成すると、メモリ容量14、15、16によって、VM₁、VM₂、VM₃が良好に保持されるならば、表示画像が変化しないかぎり、メモリの内容を書き換える必要はない。つまり、本発明を用いることによって、メモリ内蔵型の液晶表示装置で2ⁿレ

(7)

11

ベルの階調表示が可能になり、さらに小型で低消費電力の液晶表示装置を提供することができる。

【0058】各サブフレーム毎に、メモリ容量14, 15, 16とホールド容量24の間で電荷を移動させることによってVSを変化させているため、 VM_1 , V_{M_2} , V_{M_3} の電圧レベルは次第に平均化されてしまうことや、メモリTFT11, 12, 13のリークによって、 VM_1 , VM_2 , VM_3 の電圧レベルが低下してしまうが、このことを防ぐためには、メモリ容量14, 15, 16として大きな容量を、ホールド容量24として小さな容量を用いるようにすればよい。また、表示画像が変化しないときでも、一定のフレーム数毎若しくは一定の電圧以下になったときにメモリの表示データを書き直してもよい。さらに、この書き直しによって消費電力が増大しない程度に書き直せば小型化だけでなく、低消費電力の効果も維持できる。

【0059】図5は、第1の実施例を動作させる第2の信号波形を示すタイミング図である。

【0060】 VF_1 , VF_2 , VF_3 , VM_1 , V_{M_2} , V_{M_3} , VS は図4に示す第1の信号波形と同じであるが、VCPが異なる。第1の信号波形ではVCPはサブフレーム期間に極性が反転した対称な波形であり、サブフレーム期間において直流成分のない交流波形であったが、第2の信号波形ではVCPはサブフレーム期間においては極性を反転せず、従って、第1, 第2, 第3サブフレームからなる1フレーム期間では直流成分を含む波形である。この直流成分を補償するために図5

に示すようにフレーム毎に極性を反転させ、2フレームの期間を1周期とした直流成分のない交流波形となっている。この第2の信号波形を用いれば、第1の信号波形に比べVCPの周波数を低減することができるため、さらに消費電力を低減することができる。

【0061】図6は、第1の実施例を動作させる第3の信号波形を示すタイミング図である。

【0062】1フレーム期間 T_0 は、第1及び第2の信号波形と同様に、 T_1 の期間の第1サブフレーム、 T_2 の期間の第2サブフレーム、 T_3 の期間の第3サブフレームに分割されるが、第1及び第2の信号波形と異なり、 $T_1=T_2=T_3=T_0/3$ である。VCPの振幅は第1サブフレームにおいて $\pm V_1$ 、第2サブフレームにおいて $\pm V_2$ 、第3サブフレームにおいて、 $\pm V_3$ に設定される。図6では、 $V_2=2V_1$, $V_3=4V_1$ と設定した。また、VCPを第2の信号波形と同様に2フレームを1周期とする波形に設定したが、第1の信号波形と同様に、サブフレーム期間に極性が反転する1フレームを1周期とする波形を用いても同等の効果が得られる。VCPをこのような波形とすることによって、1フレーム

に液晶に印加される電圧の絶対値の平均値 VAV は、メモリ容量14, 15, 16に保持されている $n=3$ 個の表示データの組み合わせによって、“000”のとき

12

に $VAV=0$ 、“001”のときに $VAV=(0 \times V_3 + 0 \times V_2 + 1 \times V_1)/3 = V_1/3 (= \beta)$ 、“010”のときに $VAV=(0 \times V_3 + 1 \times V_2 + 1 \times V_0)/3 = 2V_1/3 = 2 \times \beta = 2\beta$ となる。同様にして、“011”のときに $VAV=3 \times \beta = 3\beta$ 、“100”のときに $VAV=4 \times \beta = 4\beta$ 、“101”のときに $VAV=5 \times \beta = 5\beta$ 、“110”のときに $VAV=6 \times \beta = 6\beta$ 、“111”のときに $VAV=7 \times \beta = 7\beta$ の $2^n = 2^3 = 8$ とおりの平均電圧 VAV を液晶に印加することが可能であり、これにより階調を表示できる。第1, 第2の信号波形では、表示データの個数 n が多くなるとサブフレーム期間の最小値が急増するが、第3の信号波形ではサブフレーム期間はすべて同じであるため、第1, 第2の信号波形に比べてサブフレーム期間の最小値を長くすることができる。すなわち、VCPの最も高い周波数成分は第1, 第2の信号波形に比べ低くなり、従って、消費電力を低減できる。

【0063】図7は、第1の実施例を動作させる第4の信号波形を示すタイミング図である。

【0064】 VF_1 , VF_2 , VF_3 , VM_1 , V_{M_2} , V_{M_3} , VS は図6に示す第3の信号波形と同じであるが、VCPが異なる。第3の信号波形ではVCPの振幅をサブフレーム毎で変えることによって、サブフレーム期間における電圧の絶対値を変えていたが、第4の信号波形では、VCPの振幅の代わりにパルス幅を変化させてサブフレーム期間における電圧の絶対値を変えている。図7では第1, 第2, 第3のサブフレーム期間におけるVCPのパルス幅を t_1 , $t_2=2 \times t_1=2t$

、 $t_3=4 \times t_1=4t$ と設定している。VCPをこのような波形とすることによって、1フレームに液晶に印加される電圧の絶対値の平均値 VAV は、メモリ容量14, 15, 16に保持されている $n=3$ 個の表示データの組み合わせによって、“000”のときに $VAV=0$ 、“001”のときに $VAV=(0 \times t_3 + 0 \times t_2 + V_0 \times t_1)/T_0 = V_0 \times t_1/T_0 (= \gamma)$ 、“010”のときに $VAV=(0 \times t_3 + V_0 \times t_2 + 0 \times t_1)/3 = V_0 \times 2 \times t_1/T_0 = 2\gamma$ となる。同様にして、“011”のときに $VAV=3\gamma$ 、“100”のときに $VAV=4\gamma$ 、“101”のときに $VAV=5\gamma$ 、“110”のときに $VAV=6\gamma$ 、“111”のときに $VAV=7\gamma$ の $2^n = 2^3 = 8$ とおりの平均電圧 VAV を液晶に印加することが可能であり、これにより階調を表示できる。第4の信号波形ではVCPは多数の電圧レベルからなるが、第5の信号波形では表示データの個数 n が増えても、VCPは $VCNT+V_0$, $VNCT$, $VNCT-V_0$ の3レベルからなるため、VCPを出力する液晶駆動交流電圧源を簡単な構成とすることができ

る。【0065】本実施例では、特に8階調を表示する構成を示したが、 2^n レベルの階調を表示したいときは、デ

50

(8)

13

ータ配線の本数とメモリ容量（メモリTFTの個数及びメモリ容量）とサンプルホールド回路（サンプリングTFTの個数、ホールド容量）とタイミング線の本数を n 倍に変更する。また、駆動方法も、サブフィールドを均等に n 個に分割して、 n レベルの電圧を設定するか、最小のサブフィールド期間の2乗に比例させた時間で分割して、振幅の等しい電圧を印加する等、上記の3で行った処理を n にすればよい。

【0066】＜実施例2＞図8は本発明における第2の実施例の液晶表示装置のブロック図を示したものである。本液晶表示装置は、画素回路50を縦横にマトリクス状に配置した一方の基板と、透明な対向電極70を有する他方の基板と、両基板間に挿入した液晶層と、走査線100を駆動する走査回路1と、データ信号線群200を駆動するデータ回路2と、対向電極70に液晶を駆動する交流電圧を供給する液晶駆動交流電圧源5と、タイミング信号 VF_0 , VF_1 , VF_2 , VF_3 を発生するタイミング回路3と、画素回路50に交流電圧の中心電圧 $VCNT$ を供給する中心電圧回路4で構成される。走査線100とデータ信号線群200は互いに直行し、それらの交差部には画素回路50が設けられる。さらに、中心電圧を供給する共通線400とタイミング信号を供給するタイミング線群300が走査線と平行に配置され、画素回路50に接続されている。

【0067】図9は本発明における第2の実施例の液晶表示装置の画素回路50の構成を示すブロック図である。画素回路50は、 $n=3$ 個の表示データに対応した電圧 VM_1 , VM_2 , VM_3 を格納したメモリ10と、 VM_1 , VM_2 , VM_3 のいずれかを選択し、 VS として出力する実施例1のサンプルホールド回路に変え、選択回路80と、 VS 及び VF_0 によって制御され、画素電極40と共通線400との接続状態を決める第1のスイッチング手段30である共通線若しくは接地との接続関係をスイッチングするスイッチ90とからなる。選択回路80は、 $VF_1 = "1"$ のとき、 VM_1 を選択し、 $VS = VM_1$ を出力し、 $VF_2 = "1"$ のとき、 VM_2 を選択し、 $VS = VM_2$ を出力し、 $VF_3 = "1"$ のとき、 VM_3 を選択し、 $VS = VM_3$ を出力する。第1のスイッチング手段30は選択回路80の出力 VS が $VS = "1"$ かまたはタイミング信号 VF_0 が $VF_0 = "1"$ のときに画素電極40と共通線400とを接続し、 $VS = "0"$ 、かつ、 $VF_0 = "0"$ のときに画素電極40と共通線400の接続を開放する。

【0068】図10は図9のブロック図で示した画素回路50を実現する回路図である。メモリ10は $n=3$ 組のメモリTFT11, 12, 13とメモリ容量14, 15, 16からなる。選択回路80は、第2のスイッチング手段として、 $n=3$ 組 $\times 2$ 個 $=6$ 個のスイッチTFT81, 82, 83, 84, 85, 86からなる。

【0069】この実施例では、実施例1に示すサンプル

14

ホールド回路20の第2のスイッチング手段の VF に応じたスイッチ機能は選択回路80が行い、 VF_0 に応じた第1のスイッチング手段30のスイッチ機能はスイッチTFT91により構成される。

【0070】メモリTFT11は、走査線100の電圧 VG が第1番目のサブフィールド T_1 での $VG_1 = "1"$ のとき、データ信号線群200の電圧 VD_1 をサンプリングし、 $VM_1 = VD_1$ としてメモリ容量14に保持する。

10 【0071】メモリTFT12は、走査線100の電圧 VG が第2番目のサブフィールド T_2 での $VG_2 = "1"$ のとき、データ信号線群200の電圧 VD_2 をサンプリングし、 $VM_2 = VD_2$ としてメモリ容量15に保持する。

【0072】メモリTFT13は、走査線100の電圧 VG が第3番目のサブフィールド T_3 での $VG_3 = "1"$ のとき、データ信号線群200の電圧 VD_3 をサンプリングし、 $VM_3 = VD_3$ としてメモリ容量16に保持する。

20 【0073】スイッチTFT81は、メモリ容量14に保持された電圧 VM_1 が $VM_1 = "1"$ のときにON状態となり、スイッチTFT84はタイミング線群300の電圧 VF_1 が $VF_1 = "1"$ のときにON状態となる。従って、 $VM_1 = "1"$ 、かつ、 $VF_1 = "1"$ のとき、画素電極40は共通線400に接続される。スイッチTFT82は、メモリ容量15に保持された電圧 VM_2 が $VM_2 = "1"$ のときにON状態となり、スイッチTFT85はタイミング線群300の電圧 VF_2 が $VF_2 = "1"$ のときにON状態となる。従って、 $VM_2 = "1"$ 、かつ、 $VF_2 = "1"$ のとき、画素電極40は共通線400に接続される。スイッチTFT83は、メモリ容量16に保持された電圧 VM_3 が $VM_3 = "1"$ のときにON状態となり、スイッチTFT86はタイミング線群300の電圧 VF_3 が $VF_3 = "1"$ のときにON状態となる。従って、 $VM_3 = "1"$ 、かつ、 $VF_3 = "1"$ のとき、画素電極40は共通線400に接続される。

【0074】スイッチTFT91は、タイミング線群300の電圧 VF_0 が $VF_0 = "1"$ のときにON状態となり、画素電極40と共通線400は接続される。

【0075】以上のように構成した本発明の第2の実施例の動作を、図11に示す信号波形のタイミング図で詳細に説明する。図11に示した信号は、タイミング回路の出力 VF_0 , VF_1 , VF_2 , VF_3 , メモリ容量14, 15, 16に保持された電圧 VM_1 , VM_2 , VM_3 , 交流電圧回路5から供給される対向電極70の電圧 VCP , 画素電極の電圧 VPX , 液晶印加電圧 $VLC = VCP - VPX$ である。交流電圧回路の出力 VCP は、中心電圧回路の電圧 $VCNT$ を基準とした交流電圧である。

50

15

【0076】1フレームの期間 T_0 は、 T_1 の期間の第1サブフレーム、 T_2 の期間の第2サブフレーム、 T_3 の期間の第3サブフレームに分割される。ここで、 $T_2 = 2T_1$ 、 $T_3 = 4T_1$ と設定した。

【0077】タイミング回路の出力 VF_0 、 VF_1 、 VF_2 、 VF_3 の周期は T_0 であり、 VF_0 は第1サブフレームの最初の期間 t_0 、第2のサブフレームの最初の期間 t_0 、及び、第3のフレームの最初の期間 t_0 に“1”となり、 VF_1 は第1サブフレームの期間に“1”となり、 VF_2 は第2サブフレームの期間に“1”となり、 VF_3 は第3サブフレームの期間に“1”となるように設定される。ここで、 t_0 は T_1 、 T_2 、 T_3 にくらべ十分に短い時間である。

【0078】対向電極70に印加される電圧 V_{CP} は、中心電圧 V_{CNT} に対する振幅値が $\pm V_0$ で、周期が2フレームである交流電圧で、かつ、 VF_0 が“1”の状態のときに中心電圧値 V_{CNT} と等しくなるように設定される。

【0079】図11では、メモリ10の出力 VM_3 、 VM_2 、 VM_1 が“110”から“000”に変化する場合を例にとっている。メモリ10の出力 VM_1 、 VM_2 、 VM_3 が変化するタイミングは、メモリ10の書き込み動作に依存するため、 VF_1 、 VF_2 、 VF_3 や V_{CP} とは同期しない

第1サブフレームの期間 t_0 において、 $VF_0 = “1”$ のためスイッチTFT91はON状態にあり、画素電極40はコモン線400に接続される。この時、 $V_{CP} = V_{CNT}$ であり、液晶に印加される電圧は $V_{LC} = 0$ である。続く第1サブフレーム中の $(T_1 - t_0)$ の期間においては、スイッチTFT81、85、86、91はOFF状態であり、画素電極40とコモン線400との接続は開放され、 $V_{LC} = 0$ が保持される。続く第2フレームの最初の期間 t_0 において、 $VF_0 = “1”$ のためスイッチTFT91はON状態にあり、画素電極40はコモン線400に接続される。この時、 $V_{CP} = V_{CNT}$ であり、液晶に印加される電圧は $V_{LC} = 0$ である。続く第2サブフレーム中の $(T_2 - t_0)$ の期間においては、 $VF_2 = “1”$ 、かつ、 $VM_2 = “1”$ であり、画素電極40はコモン線400に接続される。従って、液晶には V_{CP} と画素電極の電圧 $V_{PX} = V_{CNT}$ の差電圧 $V_{LC} = V_{CP} - V_{PX} = -V_0$ が印加される。続く第3サブフレームの最初の期間 t_0 において、 $VF_0 = “1”$ のためスイッチTFT91はON状態にあり、画素電極40はコモン線400に接続される。この時、 $V_{CP} = V_{CNT}$ であり、液晶に印加される電圧は $V_{LC} = 0$ である。続く第3サブフレーム中の $(T_3 - t_0)$ の期間においては、 $VF_3 = “1”$ 、かつ、 $VM_3 = “1”$ であり、画素電極40はコモン線400に接続される。従って、液晶には V_{CP} と画素電極の電圧 $V_{PX} = V_{CNT}$ の差電圧 $V_{LC} = V_{CP} - V_{PX} = V_0$ が印加され

(9)

16

る。従って、1番目の1フレームに液晶に印加される電圧の絶対値の平均値は $V_{AV} = (0 \times T_1 + V_0 \times T_2 + V_0 \times T_3) / T_0 = 6V_0 \times T_1 / T_0 (= 6\alpha)$ となる。この方法によれば、第1の実施例と同様に $2^n = 2^3 = 8$ とおりの平均電圧を液晶に印加することが可能であり、これにより階調を表示できる。

【0080】図11では、2つめのフレーム中の第3サブフレームの期間に VM_2 及び VM_3 が“1”から“0”に切り替わっている。このとき、スイッチTFT83の状態がONからOFFへ切り替わるため、画素電極40はコモン線400に接続された状態から開放された状態に変わる。このとき、液晶に印加されている電圧 $V_{LC} = -V_0$ は保持される。例えば、これに続く3つめのフレームの第1サブフレームにおいて $VF_0 = “1”$ となる期間 t_0 がなかった場合、この第1サブフレームにおいて画素電極40とコモン線400の接続は開放されたままであり、 $V_{LC} = -V_0$ が保持されたままとなり、所望の $V_{LC} = 0$ は印加されない。しかしながら、本実施例では、サブフレームの最初に必ず $VF_0 = “1”$ となる期間 t_0 を設け、かつ、 t_0 の期間において $V_{LC} = 0$ となるように $V_{CP} = V_{CNT}$ と設定してあるのでこのような不具合は起こらず、所望の電圧を液晶に印加することが可能である。

【0081】メモリの状態が“000”となった3つめのフレーム以後は、スイッチTFT81、82、83は常にOFF状態であり、 $V_{LC} = 0$ となる。

【0082】以上のように、本実施例を用いることによって、 n 個の表示データを保持したメモリにより、 2^n レベルの階調表示が可能で、低消費電力液晶表示装置を提供することができる。

【0083】さらに、第1の実施例における第1の信号波形と同様に V_{CP} を周期が1フレームである信号電圧波形を用いても同等の効果が得られる。

【0084】さらに、第1の実施例における第3の信号波形と同様にサブフレームの周期を同一($T_1 = T_2 = T_3$)とし、 V_{CP} の振幅をサブフレーム毎に変えても同等の効果が得られる。また、この場合には、第1の実施例における第4の信号波形と同様に、 V_{CP} の振幅の代わりにパルス幅を変えても同等の効果が得られる。同様に、 $n = 3$ で行った処理を n に変更すれば、 2^n レベルの階調を表示することができる。

【0085】

【発明の効果】本発明によれば、メモリを内蔵したアクティブマトリクス液晶表示装置において多階調表示を実現する際に、より回路構成を簡易にできるために歩留まりを向上させ、ひいては製造コストを低下させることができる。

【0086】また、本発明の構成に、対向電極を形成し、その対向電極に印加される液晶駆動電圧の振幅は互いにほぼ等しく、フレーム期間が複数のサブフレームに

(10)

17

分割され、その分割されたサブフレームの期間の長さが異なることにより形成すると、より低消費電力が可能となる。また、前記対向電極に印加される液晶駆動電圧の振幅は互いに異なり、フレーム期間が複数のサブフレームに分割され、その分割されたサブフレームの期間の長さがほぼ等しいように形成すると、 2^n レベルの階調を出そうとするときに、振幅だけで得ることができる。

【0087】さらに、各サブフレームの最初に液晶駆動電圧が中心電圧に等しくなるようにすると、画素電極の電圧が一定になり、第1のスイッチング手段の誤動作を防ぐことができるので、正確な表示ができる。

【図面の簡単な説明】

【図1】本発明における液晶表示装置の一実施例の全体構成を表すブロック図である。

【図2】本発明における液晶表示装置の一実施例において、データ信号線群に3個の表示データを印加する場合の画素回路50の構成を示すブロック図である。

【図3】図2の液晶表示装置の画素回路を実現する一回路図。

【図4】図1の液晶表示装置に印加する電圧の第1の信号波形を示すタイミング図。

【図5】図1の液晶表示装置に印加する電圧の第2の信号波形を示すタイミング図。

【図6】図1の液晶表示装置に印加する電圧の第3の信号

18

号波形を示すタイミング図。

【図7】図1の液晶表示装置に印加する電圧の第4の信号波形を示すタイミング図。

【図8】本発明における液晶表示装置の一実施例の全体構成を表すブロック図である。

【図9】本発明における液晶表示装置の一実施例において、データ信号線群に3個の表示データを印加する場合の画素回路50の構成を示すブロック図である。

【図10】図9の液晶表示装置の画素回路を実現する一回路図。

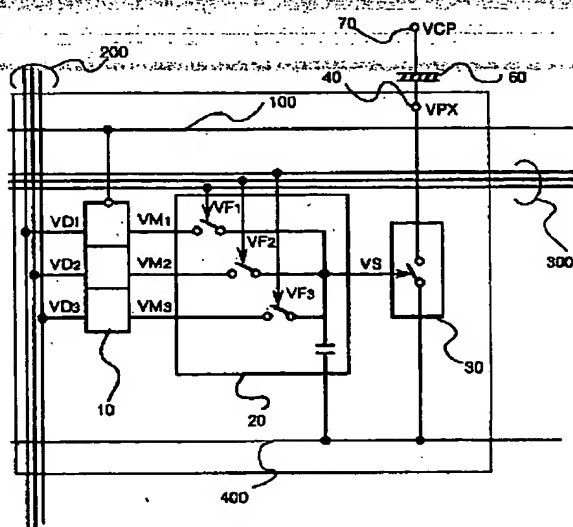
【図11】図8の液晶表示装置に印加する電圧の信号波形を示すタイミング図。

【符号の説明】

1…走査回路、2…データ回路、3…タイミング回路、4…中心電圧回路、5…液晶駆動交流電圧源、10…メモリ、11、12、13…メモリTFT、14、15、16…メモリ容量、20…サンプルホールド回路、21、22、23…サンプリングTFT、24…ホールド容量、30…第1のスイッチング手段、31、81、82、83、84、85、86、91…スイッチTFT、40…画素電極、50…画素回路、60…液晶、70…対向電極、80…選択回路、90…スイッチ、100…走査線、200…データ信号線群、300…タイミング線群、400…コモン線。

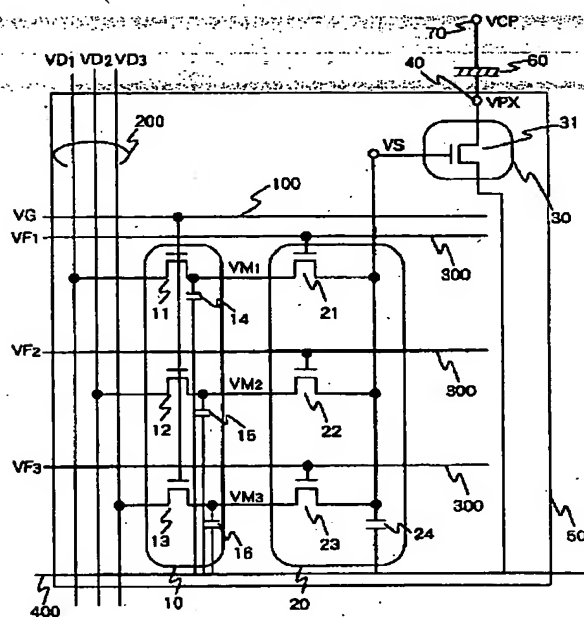
【図2】

図 2



【図3】

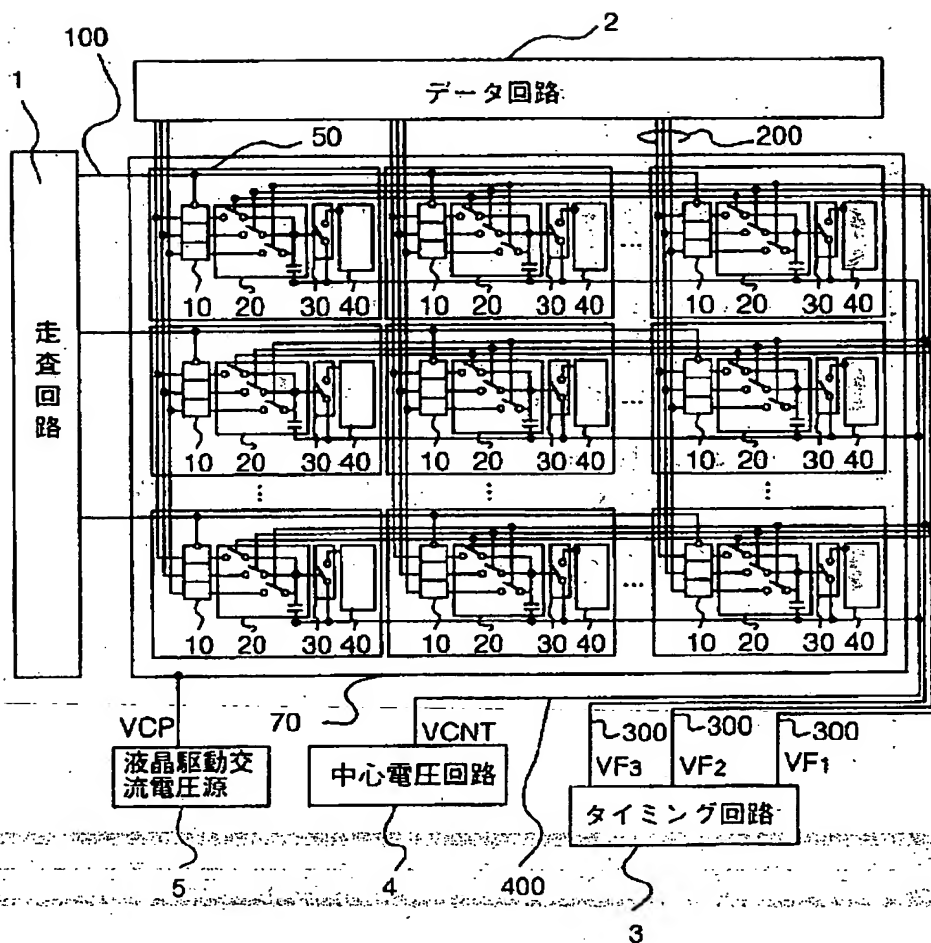
図 3



(11)

【図1】

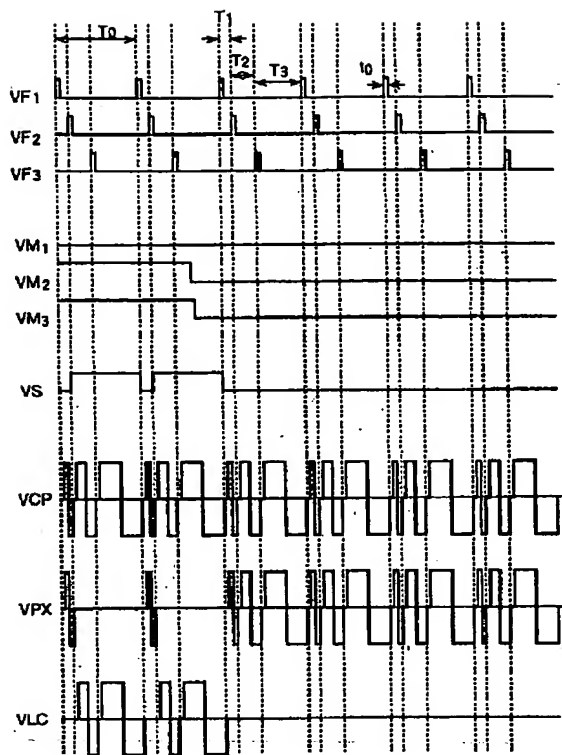
図 1



(12)

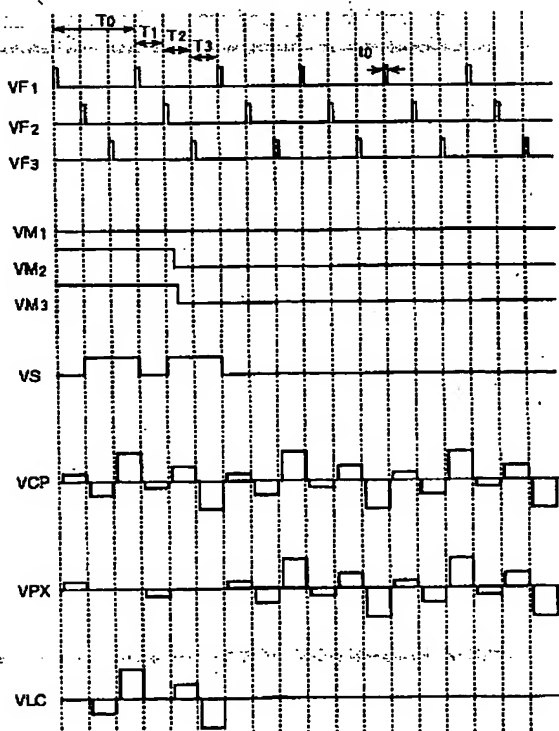
【図 4】

図 4



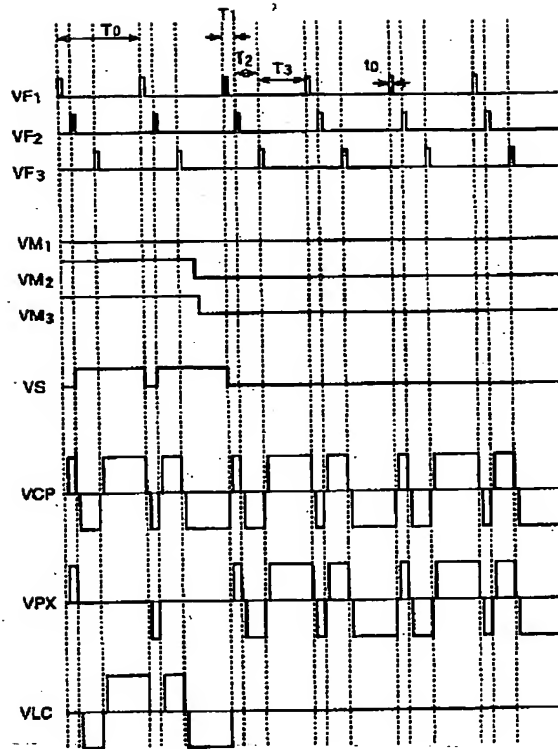
【図 6】

図 6



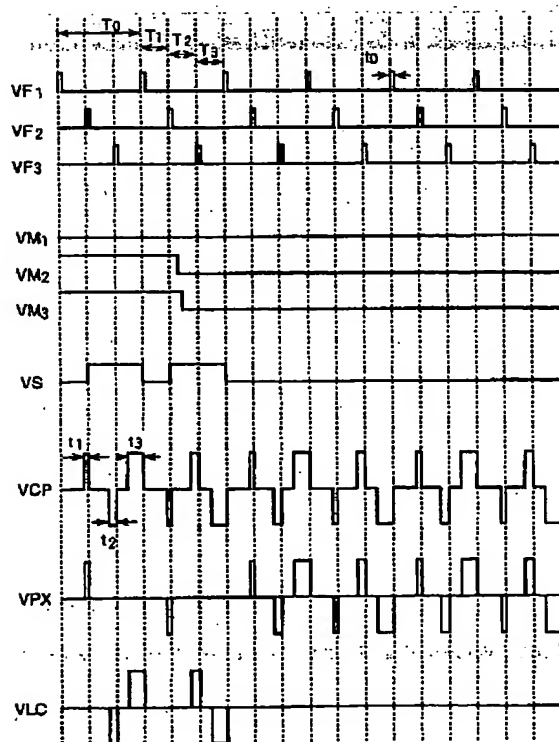
【図 5】

図 5



【図 7】

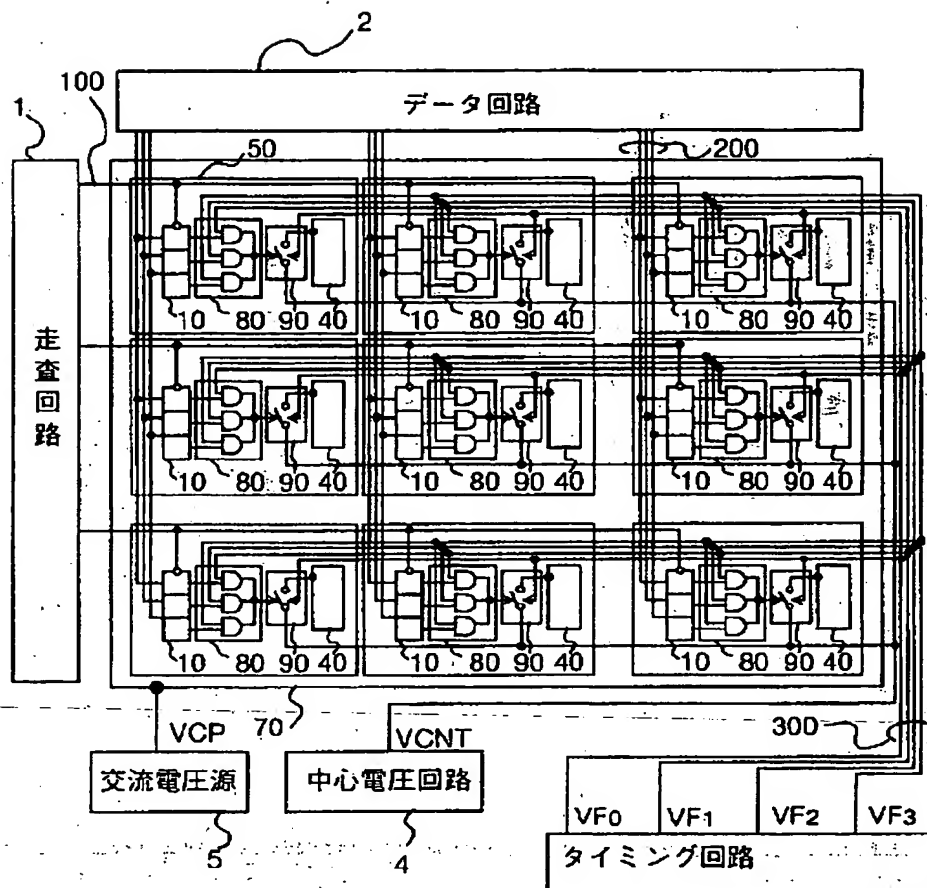
図 7



(13)

【図8】

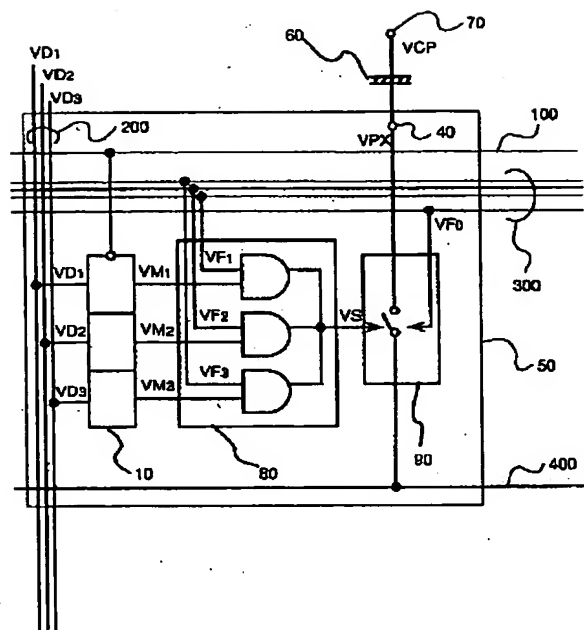
図 8



(14)

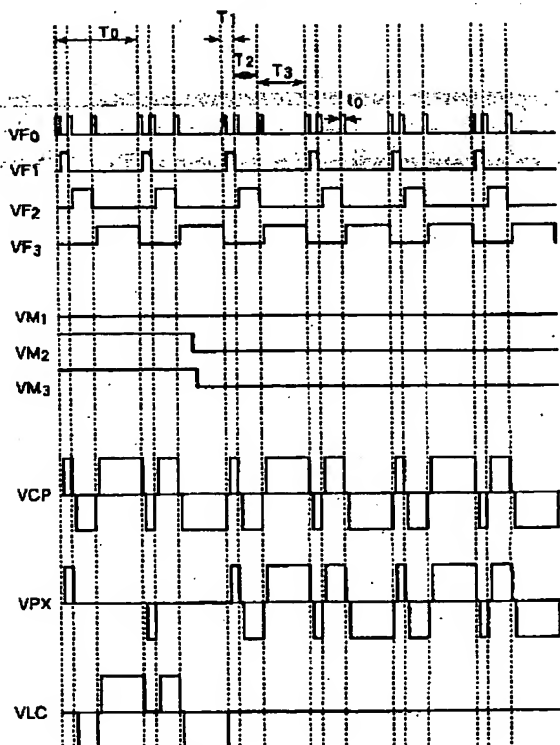
【図9】

9

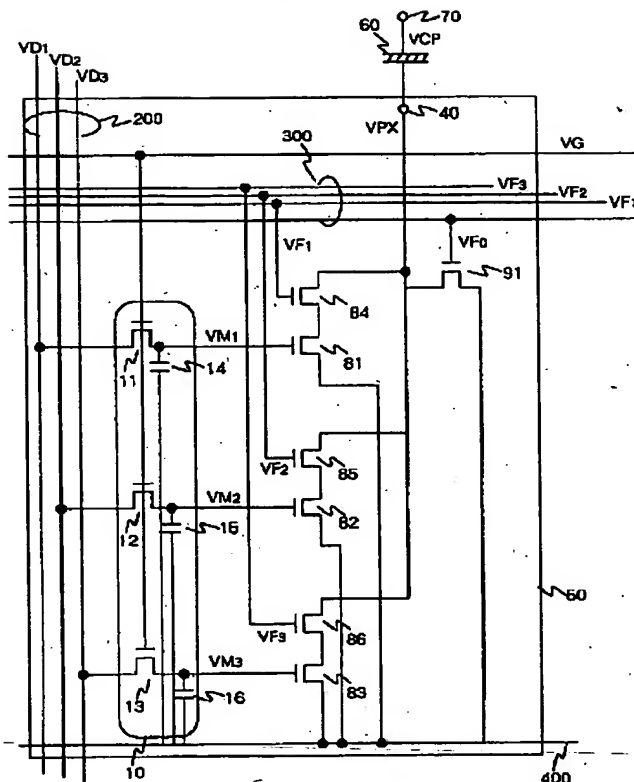


【図 1 1】

11



【図 10】



(15)

フロントページの続き

(72)発明者 津村 誠

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

[illegible]

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第6部門第2区分
【発行日】平成13年8月31日(2001. 8. 31)

【公開番号】特開平11-2797
【公開日】平成11年1月6日(1999. 1. 6)
【年通号数】公開特許公報11-28
【出願番号】特願平9-151883
【国際特許分類第7版】

G02F 1/133 550
1/1343
G09G 3/36

【F I】

G02F 1/133 550
1/1343
G09G 3/36

【手続補正書】

【提出日】平成12年10月19日(2000. 10. 19)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】少なくとも一方が透明な一对の基板と、それら一对の基板に挟持された液晶層を有する液晶表示装置において、前記一对の基板の一方には、複数の走査線と、前記複数の走査線にマトリクス状に交差する複数のデータ信号線群と、前記複数の走査線の間に形成された複数のタイミング線群と、前記複数の走査線と前記複数のデータ信号線群とに囲まれた領域で、その対応する走査線とデータ信号線群とに接続され、走査信号に応答してデータ信号線群からの表示データを取り込み保持するメモリと、そのメモリに接続され、そのメモリに保持されたデータを取り込み、前記領域に対応するタイミング線群のタイミング信号によって出力が制御されるサンプルホールド回路と、前記のサンプルホールド回路の出力によって制御される第1のスイッチング手段と、その第1のスイッチング手段に接続された画素電極とを有することを特徴とする液晶表示装置。

【請求項2】少なくとも一方が透明な一对の基板と、それら一对の基板に挟持された液晶層を有する液晶表示装置において、前記一对の基板の一方には、複数の走査線と、前記複数の走査線にマトリクス状に交差する複数のデータ信号線群と、前記複数の走査線の間に形成された複数のタイミ

ング線群と、

前記複数の走査線と前記複数のデータ信号線群とに囲まれた領域で、その対応する走査線とデータ信号線群とに接続され、走査信号に응答してデータ信号線群からの表示データを取り込み保持するメモリと、そのメモリに接続され、そのメモリに保持されたデータを取り込み、前記複数のタイミング線群のタイミング信号によって出力が制御される選択回路と、その選択回路の出力によって制御される第1のスイッチング手段と、その第1のスイッチング手段に接続された画素電極とを有することを特徴とする液晶表示装置。

【請求項3】請求項1において、前記サンプルホールド回路には前記メモリに接続された複数の第2のスイッチング手段が形成されることを特徴とする液晶表示装置。

【請求項4】請求項1において、前記選択回路には前記メモリに接続された複数の第2のスイッチング手段が形成されることを特徴とする液晶表示装置。

【請求項5】請求項1あるいは2において、前記対向電極に印加される液晶駆動電圧の振幅は互いにほぼ等しく、フレーム期間が複数のサブフレームに分割され、その分割されたサブフレームの期間の長さが異なることを特徴とする液晶表示装置。

【請求項6】請求項1あるいは2において、前記対向電極に印加される液晶駆動電圧の振幅は互いに異なり、フレーム期間が複数のサブフレームに分割され、その分割されたサブフレームの期間の長さがほぼ等しいことを特徴とする液晶表示装置。

【請求項7】請求項1あるいは2において、前記対向電極に印加される液晶駆動電圧の波形が互いに等しく、フレーム期間が複数のサブフレームに分割され、その分割されたサブフレームの期間の長さが異なり、そのサブフレームの期間における電圧の実効値はそのサブフレーム

(2)

3

4

の期間に比例して変化することを特徴とする液晶表示装置。